

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-135640  
(P2001-135640A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/3205		G 0 9 F 9/00	3 4 2 Z 2 H 0 9 2
G 0 2 F 1/1365		9/30	3 3 0 Z 5 C 0 9 4
G 0 9 F 9/00	3 4 2	H 0 1 L 21/88	R 5 F 0 3 3
9/30	3 3 0	G 0 2 F 1/136	5 0 0 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C 5 G 4 3 5
審査請求 有 請求項の数16 O L (全 16 頁)			

(21) 出願番号 特願平11-318799

(22) 出願日 平成11年11月9日 (1999.11.9)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 藤川 紳介

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

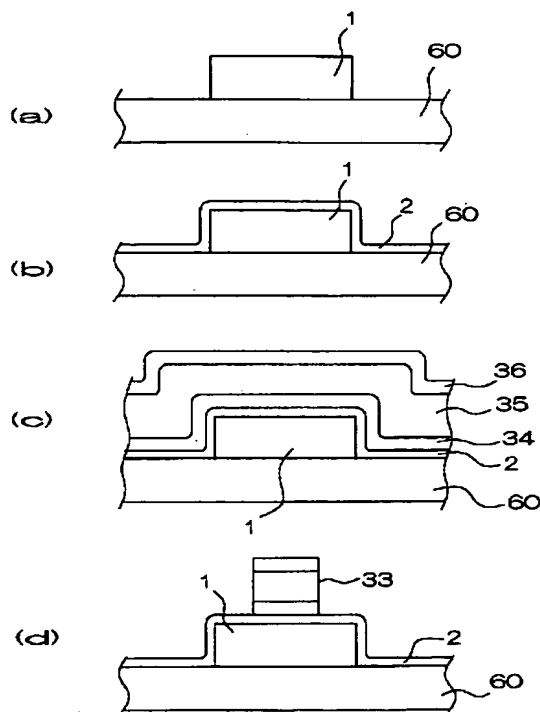
最終頁に続く

(54) 【発明の名称】 電極基板及び電気光学装置並びに電極基板の製造方法及び電気光学装置の製造方法

(57) 【要約】

【課題】 アルミニウムを材料とする配線を有する電極基板及び電気光学装置の製造方法において、配線欠陥のない電極基板、表示欠陥がなく表示特性の良い電気光学装置を得る。

【解決手段】 基板上60に、半導体層1、これを覆うようにBHFによるエッチングレートが4nm/秒以下のゲート絶縁膜2を形成し、ゲート絶縁膜2上にチタン膜34、アルミニウムを含む膜35、窒化チタン膜36を順次成膜する。その後、チタン膜34とアルミニウムを含む膜35、窒化チタン膜36との積層膜をパターニングして配線33を得る。このようにゲート絶縁膜の膜質を限定することによりチタン膜の結晶配向状態を制御し、結晶方位(111)面に優先配向した結晶性の良い平坦なアルミニウム膜35を成膜できヒロック発生が抑制された配線を得ることができる。



(2)

1

## 【特許請求の範囲】

【請求項1】 基板と、前記基板上に配置され、緩衝フッ酸溶液に対するエッチングレートが4 nm/秒以下である酸化ケイ素膜と、前記酸化ケイ素膜上に配置され、チタン層上にアルミニウムを含む層を積層した配線とを具備することを特徴とする電極基板。

【請求項2】 前記配線は、前記アルミニウムを含む層上に立方晶系窒化チタンを積層していることを特徴とする請求項1に記載の電極基板。

【請求項3】 前記基板上には、前記配線からなる第1配線と、該第1配線と絶縁して交差する第2配線とが配置されてなることを特徴とする請求項1または請求項2に記載の電極基板。

【請求項4】 前記基板上にはチャンネル領域となる半導体層、該半導体層を覆うように前記酸化ケイ素膜が形成されており、前記半導体層に相対した位置に前記配線と同層からなるゲート電極を形成する工程を具備することを特徴とする請求項1から請求項3のいずれか一項に記載の電極基板。

【請求項5】 基板と、前記基板上に配置されたチャンネル領域となる半導体層と、前記半導体層を覆って配置された緩衝フッ酸溶液に対するエッチングレートが4 nm/秒以下である酸化ケイ素膜と、前記酸化ケイ素膜上に前記半導体層に相対して配置され、チタン層上にアルミニウムを含む層を積層したゲート電極とを具備することを特徴とする電極基板。

【請求項6】 前記ゲート電極は、前記アルミニウムを含む層上に、立方晶系窒化チタンが積層されていることを特徴とする請求項5に記載の電極基板。

【請求項7】 前記チタン層は40 nm以上の膜厚を有することを特徴とする請求項1から請求項6のいずれか一項に記載の電極基板。

【請求項8】 前記酸化ケイ素膜は、テトラエチルオルソシリケートガスを用いてCVD法により成膜されてなることを特徴とする請求項1から請求項7のいずれか一項に記載の電極基板。

【請求項9】 請求項1から請求項8のいずれか一項に記載の電極基板と該電極基板に対向して配置された対向電極とを有することと特徴とする電気光学装置。

【請求項10】 基板上に緩衝フッ酸溶液に対するエッチングレートが4 nm/秒以下である酸化ケイ素膜を成膜する工程と、前記酸化ケイ素膜上にチタン膜を形成する工程と、前記チタン膜上にアルミニウムを含む膜を成膜して積層膜を形成する工程とを具備することを特徴とする電極基板の製造方法。

【請求項11】 前記アルミニウムを含む膜上にチタンを含む膜を成膜して積層膜を形成する工程とを具備することを特徴とする請求項10に記載の電極基板の製造方法。

【請求項12】 前記積層膜を所定の形状にパターン

2

グして第1配線を形成する工程と、前記第1配線と絶縁し、交差して第2配線を形成する工程とを具備することを特徴とする請求項10または請求項11に記載の電極基板の製造方法。

【請求項13】 前記基板上にはチャンネル領域となる半導体層、該半導体層を覆って前記酸化ケイ素膜が形成されており、前記積層膜をパターンニングして前記半導体層に相対する位置にゲート電極を形成する工程を具備することを特徴とする請求項10から請求項12のいずれか一項に記載の電極基板の製造方法。

【請求項14】 前記チタン膜は40 nm以上の膜厚を有することを特徴とする請求項10から請求項13のいずれか一項に記載の電極基板の製造方法。

【請求項15】 前記酸化ケイ素膜は、テトラエチルオルソシリケートガスを用いてCVD法により成膜されてなることを特徴とする請求項10から請求項14のいずれか一項に記載の電極基板の製造方法。

【請求項16】 電極基板と該電極基板に対向して配置される対向電極とを有する電気光学装置の製造方法であって、前記電極基板は請求項10から請求項15のいずれか一項に記載の製造方法により製造されることを特徴とする電気光学装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極基板及び電気光学装置に属し、特に、チタンとアルミニウムとの積層構造を有する配線を具備する場合に、ヒロックの発生が抑制された電極基板及び電気光学装置に属する。

【0002】

【従来の技術】一般に、薄膜トランジスタ（以下、TFTという。）をスイッチング素子として有するアクティブマトリクス型の液晶装置の場合、TFTアレイ基板と対向基板との間に液晶層などの電気光学物質が挟持して構成される。

【0003】かかるTFTアレイ基板は、基板上に、お互いに交差して配置された複数の走査線及び複数のデータ線、走査線及びデータ線の交差部ごとに配置された走査線及びデータ線に電気的に接続される薄膜トランジスタ、薄膜トランジスタに電気的に接続された画素電極とから構成されている。薄膜トランジスタは、半導体層上にゲート絶縁膜を介して、走査線と同層で、かつ電気的に接続したゲート電極が配置され構成される。そして、その上に絶縁膜を介してデータ線と同層からなるソース電極、ドレイン電極が形成され、データ線とソース電極とは電気的に接続している。

【0004】ところで、液晶装置を携帯型情報端末のような機器に用いる場合、極力その消費電力を軽減したいという要請が近年強くなっている。液晶装置を構成するTFTアレイ基板の消費電力の低減には配線である走査線の低抵抗化が有効である。そこで従来用いられてきた

(3)

3

クロム、タンタルなどの材料にかわり、低抵抗のアルミニウムを用いることが注目されている。アルミニウムはその特性上耐熱性や耐薬品性に留意する必要があるので、アルミニウムの下層にチタン層、上層に窒化チタン層を配置した積層構造の配線とすることが行われている。

【0005】上述のようなチタン、アルミニウム、窒化チタンの積層構造からなる配線を有するTFTアレイ基板は、次のような形成工程を経て形成される。

【0006】まず、ガラス基板上にポリシリコンからなるチャンネル領域となる半導体層を形成し、SiO<sub>2</sub>膜（酸化ケイ素膜）からなるゲート絶縁膜を形成する。次に、ゲート絶縁膜上に全面にチタン膜、アルミニウム膜、窒化チタン膜とを順次積層して積層膜を形成する。この積層膜を所定の形状にパターニングすることによりチャンネル領域に相対する位置にゲート電極を有する走査線を形成する。その後、走査線、ゲート電極を覆うようにゲート絶縁膜上に絶縁膜を形成し、この絶縁膜上に、ソース電極、ドレイン電極、データ線を形成する。

【0007】

【発明が解決しようとする課題】しかしながら、上述の製法により形成されたTFTアレイ基板においては、例えばアルミニウム層上に窒化チタン層を積層してもヒロックと呼ばれる突起が生じるという問題があった。このヒロックが発生すると、走査線を覆う絶縁膜をヒロックが突き破り、絶縁膜上に形成されるデータ線と走査線とが短絡する場合がある。短絡が発生すると、この短絡した走査線及びデータ線に電気的に接続する画素電極は任意の表示が行えず、走査線、データ線それぞれの線方向の線欠陥が生じ、液晶装置の表示品位を著しく低下させるという問題があった。

【0008】上述のようなヒロックに関して、特開平10-135462号には次のような技術が記載されている。すなわち、配線の下層に配置される絶縁膜に吸収された水が脱離することによりヒロックが増大することに着目し、水の脱離を阻害するための膜を配線と絶縁膜との間に介在させるという技術である。しかしながら、この技術では、ヒロックの増大を防止できるものの、ヒロックの発生という根本的な問題自体は解決することができない。

【0009】本発明は上述した問題点に鑑みなされたものであり、チタン層、アルミニウムを含む層を有する配線を用いる場合に、ヒロックの発生を抑制し、短絡不良のない高品質の電極基板及び電気光学装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明はチタン層上にアルミニウムを含む層が積層された配線の下層として、緩衝フッ酸溶液（BHF）に対するエッチングレートが限定された膜質の酸化ケイ素膜を用いることにより、平坦

4

性の良いヒロックの発生を抑制する配線を形成できることを発明者によって見いだされなされたものである。

【0011】すなわち、本発明の電極基板は、基板と、前記基板上に配置され、緩衝フッ酸溶液（BHF 50%フッ酸：40%フッ化アンモニウム＝1：6室温。以降特に記載がない限り、緩衝フッ酸溶液はこの条件で使用する。）に対するエッチングレートが4nm/秒以下である酸化ケイ素膜と、前記酸化ケイ素膜上に配置され、チタン層上にアルミニウムを含む層を積層した配線を具備することを特徴とする。

【0012】このような構成によれば、特定の膜質を有する酸化ケイ素膜を用いることにより結晶方位（111）面に優先配向したアルミニウムを含む層を得ることができ、平坦でヒロック発生が抑制された膜質の良い配線を得る効果を有する。これは、緩衝フッ酸溶液に対するウェットエッチングレートが4nm/秒以下、更に好ましくは3nm/秒以下の膜質の酸化ケイ素膜を下地としてチタン層を形成すると、チタン層の結晶構造が結晶方位（002）面に優先配向して形成されやすくなることによるためである。アルミニウムを含む層は単一の結晶方位（111）面に優先配向している結晶構造を有する場合にヒロックの発生が少ない。このアルミニウムを含む層の結晶方位（111）面はチタン層の結晶方位（002）面と面間隔の整合性がよいため、結晶方位（002）面に優先配向したチタン層上にアルミニウムを含む層を形成することによって、結晶方位（111）面に単一優先配向したアルミニウムを含む層を得ることができる。アルミニウムを含む層としてはアルミニウム単体、例えばアルミニウムと銅の合金といったアルミニウム合金などがある。

【0013】更に、前記配線は、前記アルミニウムを含む層上にチタンを含む層を積層していることを特徴とする。このような構成によれば、チタンを含む層によりアルミニウムを含む層を保護するとともに更にヒロックの発生を抑制することができるという効果を有する。窒化チタンを用いる場合にはその結晶系を立方晶系とすることがヒロック抑制効果を得るのに好ましい。

【0014】更に、前記基板上には、前記配線からなる第1配線と、該第1配線と絶縁して交差する第2配線とが配置されてなることを特徴とする。このような構成によれば、第1配線のヒロック発生が抑制されているため、ヒロックによる第1配線と第2配線との短絡を防止し、短絡欠陥のない電極基板を得るという効果を有する。

【0015】更に、前記基板上にはチャンネル領域となる半導体層、該半導体層を覆うように前記酸化ケイ素膜が形成されており、前記半導体層に相対した位置に前記配線と同層からなるゲート電極を形成する工程を具備することを特徴とする。このような構成によれば、半導体層を有するスイッチング素子のゲート電極の形成時におい

50

(4)

5

ても、上述の配線と同様に、ヒロック発生が抑制されたゲート電極を得ることができ、スイッチング特性の良いスイッチング素子を有し、更に膜質の良い配線を有する電極基板を得るという効果を有する。

【0016】また、本発明の電極基板は、基板と、前記基板上に配置されたチャネル領域となる半導体層と、前記半導体層を覆って配置された緩衝フッ酸溶液に対するエッチングレートが4 nm/秒以下好ましくは3 nm/秒以下である酸化ケイ素膜と、前記酸化ケイ素膜上に前記半導体層に相対して配置され、チタン層上にアルミニウムを含む層を積層したゲート電極とを具備することを特徴とする。このような構成によれば、半導体層を有するスイッチング素子のゲート電極の形成時に、平坦でヒロック発生が抑制されたゲート電極を得ることができるので、スイッチング特性の良いスイッチング素子を有する電極基板を得るという効果を有する。

【0017】更に、前記ゲート電極は、前記アルミニウムを含む層上に、チタンを含む層が積層されていることを特徴とする。このような構成によれば、ヒロックの発生を更に抑制することができるという効果を有する。

【0018】更に、上述した電極基板は、前記チタン層は40 nm以上の膜厚を有することを特徴とする。このような構成によれば、40 nm以上の膜厚とすることによりアルミニウムを含む層の地下層として結晶性の良い平坦なチタン層を得ることができるので、アルミニウムを含む層を積層した場合にも、平坦な表面を得ることができ、基板面内で均一な膜質の配線またはゲート電極を得るという効果を有する。ここで、チタン層の膜厚はその抵抗率を考慮すると100 nm以下とすることが望ましい。

【0019】本発明の電気光学装置は、上述に記載の電極基板と該電極基板に対向して配置された対向電極とを有することと特徴とする。このような構成によれば、消費電力を低減し、大画面化、高精細化が可能な表示ばらつきのない表示特性の良い電気光学装置を得るという効果を有する。

【0020】本発明の電極基板の製造方法は、基板上に緩衝フッ酸溶液に対するエッチングレートが4 nm/秒以下好ましくは3 nm/秒以下である酸化ケイ素膜を成膜する工程と、前記酸化ケイ素膜上にチタン膜を形成する工程と、前記チタン膜上にアルミニウムを含む膜を成膜し積層膜を形成する工程とを具備することを特徴とする。

【0021】このような構成によれば、特定の膜質を有する酸化ケイ素膜を用いることにより結晶方位(111)面に単一優先配向したアルミニウムを含む膜を得ることができ、平坦でヒロック発生が抑制された膜質の良いアルミニウムを含む膜を得ることができる。そして、このようなチタン膜とアルミニウムを含む膜との積層膜を有する膜を所定の形状にパターニングすることによ

6

り、膜質の良い配線やスイッチング素子のゲート電極を得るという効果を有する。これは、緩衝フッ酸溶液に対するエッチングレートが4 nm/秒以下、更に好ましくは3 nm/秒以下の膜質の酸化ケイ素膜を下地としてチタン膜を形成すると、チタン膜の結晶構造が結晶方位

(002)面に優先配向して形成されやすくなることによるものと考えられる。アルミニウムを含む膜は結晶方位(111)面に単一優先配向している結晶構造を有する場合にヒロックの発生が少なく、このアルミニウムを含む膜の結晶方位(111)面はチタン膜の結晶方位(002)面と面間隔の整合性が良いため、結晶方位(002)面に優先配向したチタン膜上にアルミニウムを含む膜を成膜することによって、結晶方位(111)面に単一優先配向したアルミニウムを含む膜を得ることができる。また、アルミニウムを含む膜としてはアルミニウム単体、例えばアルミニウムと銅の合金といったアルミニウム合金などがある。

【0022】更に、前記アルミニウムを含む膜上にチタンを含む膜を成膜し積層膜を形成する工程とを具備することを特徴とする。このような構成によれば、アルミニウムを含む層を保護するとともに更にヒロックの発生を抑制することができるという効果を有する。

【0023】更に、前記積層膜を所定の形状にパターニングして第1配線を形成する工程と、前記第1配線と絶縁し、交差して第2配線を形成する工程とを具備することを特徴とする。このような構成によれば、第1配線のヒロック発生が抑制されているため、ヒロックによる第1配線と第2配線との短絡を防止し、短絡欠陥のない電極基板を得るという効果を有する。

【0024】さらに、前記基板上にはチャネル領域となる半導体層、該半導体層を覆って前記酸化ケイ素膜が形成されており、前記積層膜をパターニングして前記半導体層に相対する位置にゲート電極を形成する工程を具備する。このような構成によれば、半導体層を有するスイッチング素子のゲート電極の形成時に、平坦でヒロック発生が抑制されたゲート電極を得ることができ、スイッチング特性の良いスイッチング素子を得るという効果を有する。

【0025】更に、前記チタン膜は40 nm以上の膜厚を有することを特徴とする。このような構成によれば、40 nm以上の膜厚とすることによりアルミニウムを含む真膜の地下膜として結晶性の良い平坦なチタン膜を得ることができるので、アルミニウムを含む膜を積層した場合にも、平坦な表面を得ることができ、基板面内で均一な膜質の配線またはゲート電極を得るという効果を有する。ここで、チタン膜の膜厚はその抵抗率を考慮すると100 nm以下とすることが望ましい。

【0026】本発明の電気光学装置に製造方法は、電極基板と該電極基板に対向して配置される対向電極とを有する電気光学装置の製造方法であって、前記電極基板は

(5)

7

上述の製造方法により製造されることを特徴とする。このような構成によれば、消費電力を低減し、大画面化、高精細化が可能な表示ばらつきのない表示特性の良い電気光学装置を得るという効果を有する。

【0027】

【発明の実施の形態】（電極基板の製造方法）本発明の実施の形態には、電極基板として半導体層を有する半導体基板を例にあげ、特に半導体基板に形成される配線について図1、2を用いて説明する。図1は半導体基板の部分概略図を示し、図2はその製造方法を説明するための図である。

【0028】図1に示すように、半導体基板は、例えばガラスなどからなる基板60上に、ポリシリコン層1が配置され、これを覆うように酸化シリコン膜からなるゲート絶縁膜2が配置されている。更に、ポリシリコン層1の一部に対応した位置に配線33が配置されている。配線33は3層構造かなり、下からチタン層、アルミニウム・銅合金層、窒化チタン層となっている。チタン層の膜厚は40nm以上とすることにより、結晶性、平坦性が良く、上に成膜するアルミニウム・銅合金層の配向性を向上させることができ、ここでは50nmとした。アルミニウム・銅合金層の膜厚は100～1000nmとし、ここでは400nmとした。窒化チタン層は50～150nmとし、50nm以上とすることによりヒロック発生を抑制することができ、ここでは100nmとした。尚、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0029】次に半導体基板の製造方法を図2を用いて説明する。

【0030】図2(a)に示すように、PECVD法またはLP(low pressure)CVD法によりa-Si膜を30～100nm程度の厚みで形成し、これにエキシマレーザ光を照射することにより結晶化した後、所定の形状にパターニングをしてポリシリコン層1を得る。

【0031】次に、図2(b)に示すように、PECVD法(plasma enhanced chemical vapor deposition)により、TEOS(テトラエチルオルソシリケート)を原料ガスとして、50～120nmの膜厚、ここでは75nmの膜厚の酸化ケイ素膜からなるゲート絶縁膜2を基板全面に形成する。このゲート絶縁膜2は緩衝フッ酸溶液に対するエッチングレートが3.5nm/秒であった。ゲート絶縁膜2形成後、基板をアルカリ系洗浄液など酸化ケイ素膜を浸食しにくい洗浄液を用いて洗浄した。ここで、洗浄液としては希フッ化水素などの酸化ケイ素膜浸食性液は用いずに、アルカリ系、硫酸系などの洗浄液を用いることが好ましい。次に、図2(c)に示すように、スパッタリング法によりチタン膜34、アルミニウム・銅合金膜35、窒化チタン膜36を順次積層して成膜する。詳細には、まず、半導体層及びゲ

8

ト絶縁膜が形成された基板を反応室に搬入させ、50nmの膜厚のチタン膜34を成膜する。チタン膜形成後、チタン膜34が成膜された基板を別の反応室内に搬入させ、チタン膜34上に400nmの膜厚でアルミニウム・銅合金膜35を成膜する。アルミニウム・銅合金膜成膜後、基板を反応室から別の反応室内に基板を搬入させる。反応室内にアルゴンと窒素の混合ガスを導入し、チタンターゲットを使用して100nmの膜厚の窒化チタン膜36を成膜する。次に図2(d)に示すように、所定の形状となるようにチタン膜34とアルミニウム・銅合金膜35、窒化チタン膜36とを同時にパターニングして配線33を得る。

【0032】この時のチタン膜の結晶配向性を評価したものを図15(a)に示す。図15(a)の試料では積層膜の他の信号成分を排除するために、チタン単膜を成膜し評価してある。チタンの下地膜となった酸化ケイ素膜の緩衝フッ酸溶液に対するエッチングレートは約3.5nm/秒である。一方緩衝フッ酸溶液に対するエッチングレートが約9nm/秒の酸化ケイ素膜上に、同様にチタン単膜を成膜し結晶配向性を評価したものが図15(b)である。両者を比較して明らかなように、図15(a)の試料の信号強度は図15(b)の2倍以上の値を示している。即ち緩衝フッ酸溶液に対するエッチングレートが小さい酸化ケイ素膜上にチタン膜を形成すると、チタンの結晶性が向上することを意味している。

【0033】さらにチタン膜の上にアルミニウム・銅合金膜を成膜し、その結晶配向性を評価したものが図16(a)及び(b)である。下地膜とした酸化ケイ素膜の緩衝フッ酸溶液に対するエッチングレートは図16

(a)が約3.5nm/秒であり、図16(b)が約9nm/秒である。両者を比較して明らかなように、図15(a)の試料の信号強度は図15(b)の約1.5倍の値を示している。即ち緩衝フッ酸溶液に対するエッチングレートが小さい酸化ケイ素膜上にチタン膜、アルミニウム・銅合金膜を積層して形成すると、チタンのみならずアルミニウム・銅合金膜の結晶性も向上することを意味している。

【0034】また、成膜後のアルミニウム・銅合金膜35の結晶構造は、結晶方位(111)面に優先配向しており結晶方位(200)面は検出されなかった。ここで、結晶性はX線回折測定機(機器名 RINT-1400)を用いて測定している。

【0035】このような製造工程を経て形成された配線33は、上述のようにアルミニウムの結晶構造が結晶方位(111)面に優先配向し、かつ優れた結晶性を有した膜である。そして、このときに良好な平坦性を得ることができ、配線33とこの配線33上に絶縁膜(図示せず)を介して形成される配線(図示せず)との短絡を未然に防止し、信頼性の高い半導体基板を製造できた。

【0036】図17はチタン膜の上にアルミニウム・銅

(6)

9

合金膜を積層成膜した試料をAFMにて表面平均粗さを評価したものである。下地膜とした酸化ケイ素膜の緩衝フッ酸溶液に対するエッチングレートは図17(a)が約3.5nm/秒であり、図16(b)が約9nm/秒である。これらは緩衝フッ酸溶液に対するエッチングレートが小さい酸化ケイ素膜上にチタン膜、アルミニウム・銅合金膜を積層にて形成すると、平坦性の良い膜が形成できることを意味している。

【0037】また、このような製造工程を経て形成された半導体基板は、後工程で例えば400℃以上の高温処理工程を経ても、配線のヒロックの発生を抑制することができた。

【0038】図18は緩衝フッ酸溶液に対するエッチングレートが約3.5nm/秒の酸化ケイ素膜上にチタン膜、アルミニウム・銅合金膜、窒化チタン膜を積層した試料を450℃3時間の熱処理した状態を示した写真である。熱処理を施した後も良好な平坦性を保持していることが判る。

【0039】図19は、ガラス基板上に、BHFによるエッチングレートが3.5nm/秒の酸化ケイ素膜、チタン膜、アルミニウム・銅合金膜、窒化チタン膜を順次積層した積層膜の表面状態を示す。図19(a)ではチタン膜の膜厚を400nm、図19(b)ではチタン膜の膜厚を200nmとしている。図に示すように、アルミニウム合金膜の下層となるチタン膜の膜厚を厚くすることにより、積層膜の表面粗さが小さくなることがわかる。

【0040】上記実施形態及び実験結果では、アルミニウムを含む膜としてアルミニウム・銅合金を用いたが、アルミニウム単体、銅以外の他の金属との合金からなるアルミニウム合金でもよい。

【0041】(電気光学装置の製造方法)本実施形態においては、スイッチング素子を用いる電気光学装置として液晶装置を例にあげており、スイッチング素子として薄膜トランジスタを用い、薄膜トランジスタのゲート電極、配線としての走査線及びこれと同層からなる層に、上述の電極基板の実施形態のチタン膜、アルミニウム・銅合金膜、窒化チタン膜の積層膜をパターンニングして形成したものをを用いている。

【0042】以下に本実施形態において、図3から図5を参照して説明する。

【0043】図3は、液晶装置の画像形成領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図4は、データ線、走査線、画素電極などが形成されたTFTアレイ基板の表示領域における複数の画素群の平面図である。図5は、液晶装置の表示領域及び周辺駆動回路領域の縦断面図を示し、画素領域の縦断面図は、図4のA-A'の断面図である。尚、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮

10

尺を異ならしめてある。

【0044】図3において、液晶装置は、表示領域とこれを制御する周辺駆動回路領域とから構成される。

【0045】表示領域は、平行に配置された容量線3b及び走査線3と、走査線3と交差して配置されたデータ線6と、これら走査線3とデータ線6との交差部毎にマトリクス状に配置された画素電極9aと、画素電極9aを制御するための薄膜トランジスタ(以下、TFTと称する)30とからなる。画像信号が供給されるデータ線6にはTFT30のソースが電氣的に接続され、走査信号が供給される走査線3にはTFT30のゲートが電氣的に接続している。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6から供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。

【0046】一方、周辺駆動回路領域は、走査線駆動回路104、データ線駆動回路101、サンプリング回路301、プリチャージ回路201からなる。走査線駆動回路104は、外部制御回路から供給される電源、基準クロックCLY及びその反転クロック等に基づいて、所定タイミングで走査線3に走査信号G1、G2、…、Gmをパルスの形で順次で印加する。データ線駆動回路101は、外部制御回路から供給される電源、基準クロックCLX及びその反転クロック等に基づいて、走査線駆動回路104が走査信号G1、G2、…、Gmを印加するタイミングに合わせて、データ線6毎にサンプリング回路駆動信号としてのシフトレジスタからの転送信号X1、X2、…、Xnを、サンプリング回路301にサンプリング回路駆動信号線306を介して所定タイミングで供給する。プリチャージ回路201は、スイッチング素子として、例えばTFT202を各データ線6毎に備えており、プリチャージ信号線204がTFT202のドレイン又はソース電極に接続されており、プリチャージ回路駆動信号線206がTFT202のゲート電極に接続されている。そして、動作時には、プリチャージ信号線204を介して、外部電源からプリチャージ信号NRSを書き込むために必要な所定電圧の電源が供給され、プリチャージ回路駆動信号線206を介して、各データ線6について画像信号S1、S2、…、Snの供給に先行するタイミングでプリチャージ信号NRSを書き込むように、外部制御回路からプリチャージ回路駆動信号NRGが供給される。プリチャージ回路201は、好ましくは中間階調レベルの画像信号S1、S2、…、Snに相当するプリチャージ信号NRS(画像補助信号)を供給する。サンプリング回路301は、TFT302

(7)

11

を各データ線6毎に備えており、画像信号線304がTFT302のソース電極に接続されており、サンプリング回路駆動信号線306がTFT302のゲート電極に接続されている。そして、画像信号線304を介して、画像信号S1、S2、…、Snが入力されると、これらをサンプリングする。即ち、サンプリング回路駆動信号線306を介してデータ線駆動回路101からサンプリング回路駆動信号としての転送信号X1、X2、…、Xnが入力されると、画像信号線304夫々からの画像信号S1、S2、…、Snをデータ線6aに順次印加する。

【0047】尚、本実施形態においては、表示領域中のTFT30の半導体層としてポリシリコンを用いているため、周辺駆動回路に用いられるTFTと表示領域中のTFT30と同一基板上で同一工程で形成することが可能であるが、周辺駆動回路の一部を別基板に形成し、これを外付けすることも可能である。

【0048】図4において、液晶装置のTFTアレ基板には、マトリクス状に複数の透明な画素電極9aが設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6、走査線3（点線）及び容量線3b（点線）が設けられている。データ線6は縦方向に延伸した形状に形成され、データ線6の一部であるソース6aはコンタクトホール5aを介してポリシリコン膜からなる半導体層1（左下がりの斜線部）のうち後述のソース領域に電気的に接続されており、データ線6はソース6a付近で、その幅が広くなるように形成されている。データ線6と同層で形成されたドレイン6bはコンタクトホール5bを介して半導体層1のうち後述のドレイン領域に電気的に接続しており、更に、ドレイン6bはコンタクトホール8を介して画素電極9aと電気的接続されている。また、半導体層1のうちチャネル領域に対向するように走査線3が配置され、走査線3はゲート電極として機能し、本実施形態においては、半導体層1と走査線3とが重なり合う箇所は2カ所となっており、ダブルゲート構造となっている。尚、図面上、走査線3と半導体層1とが平面的に重なる部分、即ちゲート電極に対応する位置の半導体層は走査線によって隠れ、図示されていない。容量線3bは、走査線3に沿ってほぼ直線状に伸び、データ線6と交差する箇所からデータ線6に沿って突出した突出部を有し、この突出部にほぼ対応して半導体層の一部が配置されている。容量線3bは、画素電極9aの一部と平面的に重なり合い、この領域で容量を形成し、更に、画素電極9aと容量を形成している。半導体層1は、データ線6及び走査線3の下に延設されて、同じくデータ線6及び走査線3に沿って伸びる容量線3b部分に絶縁膜2を介して対向配置されて、容量を形成している。

【0049】次に図5の断面図に示すように、液晶装置100は、TFTアレ基板10と、これに対向配置さ

12

れる対向基板80との間に液晶層50を備えている。

【0050】TFTアレ基板10は、表示領域においては、ガラス基板60上に酸化シリコンからなる下地膜12、ポリシリコンからなる半導体層1が配置されている。半導体層1上には、BHFによるエッチングレートが4nm/秒以下の酸化ケイ素膜からなるゲート絶縁膜2が配置されている。ゲート絶縁膜2上には、それぞれ下からチタン層、アルミニウム・銅合金層、窒化チタン層と積層された層構造の走査線3（図示せず）、走査線の一部であるゲート電極3a、容量線3bが配置されている。そして、走査線3、ゲート電極3a及び容量線3bを覆うように絶縁膜4が配置されている。絶縁膜4上には、同層で形成されたデータ線6、データ線6の一部であるソース6a、ドレイン6bが配置されている。ソース6aは、ゲート絶縁膜2、絶縁膜4に形成されたコンタクトホール5aにより後述で説明する半導体層1のソース領域と電気的に接続され、ドレイン6bは、絶縁膜4に形成されたコンタクトホール5bにより、後述で説明する半導体層1のドレイン領域と電気的に接続される。更に、データ線6、ソース6a、ドレイン6bを覆って層間絶縁膜7が配置され、層間絶縁膜7に形成されたコンタクトホール8によりドレイン6bは、層間絶縁膜7上に配置されるITO（Indium Tin Oxide）膜からなる画素電極9aと電気的に接続している。最後に、画素電極を覆って、ポリイミドからなる配向膜16が配置される。ここで、表示領域中のTFTの半導体層1は、LDD（lightly doped drain）構造を有し、詳細については後述する。

【0051】また、TFTアレ基板10の周辺駆動回路領域においては、相補型トランジスタ構造が採用されている。図5に示すように、相補型トランジスタ構造は、Nチャネル型TFT130a、Pチャネル型TFT130bを有し、ガラス基板60上に配置された下地層12上にNチャネル型の半導体層1、Pチャネル型の半導体層1とが配置され、これらを覆うように、ゲート絶縁膜であるゲート絶縁膜2が配置されている。ゲート絶縁膜2上には半導体層のチャネル領域に相当する位置にゲート電極103が配置されている。更に、ゲート電極103を覆って、絶縁膜4が配置され、絶縁膜4上に配置されたソース電極106a、107a、ドレイン電極106b、107bは、それぞれ、対応する半導体層1のソース領域またはドレイン領域に電気的に接続している。そして、これら相補型トランジスタ構造のTFT上には層間絶縁膜7が配置されている。また、NチャネルTFTの半導体層はLDD構造を有している。

【0052】他方、対向基板80は、ガラス基板20上にマトリクス状に形成された遮光膜23、これを覆って順次形成されたITO膜からなる対向電極21、ポリイミドからなる配向膜16とから構成されている。

【0053】次にTFTアレ基板の製造方法について

50

(8)

13

図6～図14を用いて説明する。図6～図14は、表示領域及び周辺回路領域における断面であり、表示領域は図4の線A-A'で切断したときの断面である。

【0054】まず、図6(a)に示すように、ガラス基板60上に、PE (plasma enhanced) CVD法またはECR (electron cyclotron resonance) CVD法により、下地膜12として、 $\text{SiO}_2$ 膜を200～500 nm程度の厚みで形成する。この下地膜は、ガラス基板60表面の汚れやガラス基板中に含まれる不純物等がTFT30の特性の劣化を引き起こすことを防止する機能を有する。

【0055】次に、図6(b)に示すように、PECVD法またはLP (low pressure) CVD法により、下地膜上にa-Si膜401aを30～100 nm程度の厚みで積層する。

【0056】次に、図6(c)に示すように、a-Si膜にKrFまたはXeClなどのエキシマレーザ光を300～600 mJ/cm<sup>2</sup>照射することにより、a-Si膜を結晶化させ、p-Si膜401bを得る。エキシマレーザ光の照射強度、照射時間などはa-Si膜の膜厚、膜質などにより適宜調整する。本実施形態においては、レーザアニールにより低温で、ポリシリコン層を得ることができるため、基板としてシリコン基板よりも安価なガラス基板を採用することができる。

【0057】次に、図6(d)に示すように、表示領域及び周辺駆動回路領域のそれぞれのTFTの半導体層に相当する形状にレジスト膜402を形成する。

【0058】次に、図7(a)に示すように、レジスト膜402をマスクとして、p-Si膜401bを塩素系ガスをを用いてRIE (reactive ion etching) により、エッチングし、p-Si層1を形成する。尚、RIEのようなドライエッチング以外に、弗硝酸を用いてエッチングするなど薬液を用いるウェットエッチングを使用することもできる。

【0059】次に図7(b)に示すように、レジスト膜402を剥離後、図7(c)に示すように、PECVD法により、TEOS (テトラエチルオルソシリケート) を原料ガスとして、50～120 nmの膜厚、ここでは75 nmの膜厚の酸化ケイ素膜からなるゲート絶縁膜2を基板全面に形成する。このゲート絶縁膜2はBHFに対するエッチングレートが約3.5 nm/秒であった。

【0060】次に図7(d)に示すように、表示領域の半導体層1のうち、容量として機能する領域に対応する部分が除去された形状のレジスト膜403を形成する。そして、このレジスト膜403をマスクにし、イオン注入法により、不純物としてリンイオンを $5 \times 10^{14} \sim 10^{16}$ 個/cm<sup>2</sup>のドーズ量にて、半導体層1に注入し、容量電極1fを形成する。注入後、レジスト膜403を剥離する。

【0061】その酸化ケイ素膜を浸食しにくい洗浄液を

14

用いて洗浄した。ここで、洗浄液としては希フッ化水素などの酸化ケイ素膜浸食性液は用いず、浸食性の低いアルカリ系、硫酸系などの洗浄液を用いることが好ましく、これにより後に成膜するチタン膜の配向性を維持することができる。

【0062】次に、図8(a)に示すように、ゲート絶縁膜2上に、スパッタリング法によりチタン膜34、アルミニウム・銅合金膜35、窒化チタン膜36を順次積層して成膜する。

【0063】次に、図8(b)に示すように、走査線、ゲート電極、容量線に相当する形状のレジスト膜404を形成する。これをマスクとして、図8(c)に示すように、弗素系または塩素系ガスをを用いて、RIE法によりチタン膜34、アルミニウム・銅合金膜35、窒化チタン膜36をエッチングする。エッチング後、レジスト膜404を剥離して、図9(a)に示すように、下層がチタン層、上層がアルミニウム・銅合金層からなる積層構造に窒化チタン層が積層された3層構造の、走査線3、ゲート電極3a、103、容量線3bを得る。

【0064】次に、図9(b)に示すように、表示領域を全て覆い、かつ周辺回路領域のPチャネル型のTFTとなる半導体層に対応した位置のみレジストが除去されたレジスト膜405を形成する。この後、レジスト膜405とPチャネル型のTFTに対応するゲート電極103をマスクとして、半導体膜1に $5 \times 10^{14} \sim 10^{16}$ 個/cm<sup>2</sup>のボロンイオンをイオン注入法により注入し、ゲート電極103に対して自己整合したチャネル領域1a、ソース・ドレイン領域1g、1hを有する半導体層1を得る。

【0065】次に、図9(c)に示すように、レジスト膜405を(剥離液名)により剥離する。

【0066】その後、図9(d)に示すように、周辺回路領域のPチャネル型TFTとなる半導体層に対応した位置にレジスト膜406を形成する。次に、このレジスト膜406と、ゲート電極3a、Nチャネル型TFTに対応するゲート電極103、容量線3bをマスクとして、半導体層1に $1 \times 10^{13} \sim 2 \times 10^{14}$ 個/cm<sup>2</sup>のリンイオンをイオン注入法により注入する。これにより、周辺回路領域では、ゲート電極103に対して自己整合したチャネル領域1a、後に形成される高濃度ソース領域、高濃度ドレイン領域よりも不純物濃度の低い低濃度ソース領域1b、低濃度ドレイン領域1cを有するNチャネル型TFTに対応する半導体層1を得る。また、表示領域においては、2カ所のチャネル領域1a(片方のみ図示)、この2カ所のチャネル領域を挟むように形成され、後に形成される高濃度ソース領域、高濃度ドレイン領域よりも不純物濃度の低い低濃度ソース領域1b、低濃度ドレイン領域1cを有する半導体1を得る。

【0067】次に、剥離液によりレジスト膜406を剥

(9)

15

離する。その後、図10 (a) に示すように、レジスト膜407を形成する。図に示すように、レジスト膜407は、周辺駆動回路領域のNチャネル型TFTのゲート電極103と表示領域中のゲート電極3aのそれぞれの周辺部を覆い、かつPチャネル型TFTの半導体層を覆う形状を有している。次に、レジスト膜407をマスクとして、半導体層1に $5 \times 10^{14} \sim 10^{16}$ 個/cm<sup>2</sup>のドーザ量にてリンイオンをイオン注入法により注入する。この後、レジスト膜407を剥離する。これにより、図10 (b) に示すように、低濃度ソース領域1b、低濃度ドレイン領域1cよりも高い不純物濃度を有する高濃度ソース領域1d、高濃度ドレイン領域1eを有する半導体層を得ることができる。従って、表示領域中のTFTと周辺駆動回路領域のNチャネル型TFTはLDD構造を有する半導体層となる。

【0068】次に、図10 (c) に示すように、ゲート電極103、3a、容量線3bを覆うように、PECVD法により、原料ガスとしてTEOSとオゾンガスを用いて、1500nmの厚みのSiO<sub>2</sub>からなる絶縁膜4

を形成する。この後、不純物イオンを活性化させるため、400℃の温度条件で活性化加熱処理（活性化アニール処理）を行う。

【0069】次に、図10 (d) に示すように、周辺回路領域の各TFTのソース・ドレイン領域と後に形成されるソース・ドレインとを接続するためのコンタクトホール及び、表示領域のTFTのソース領域と後に形成されるソースとを接続するためのコンタクトホール、表示領域のTFTのドレイン領域と後に形成されるドレインとを接続するためのコンタクトホールに相当する形状にパターニングされたレジスト膜409を形成する。

【0070】図11 (a) に示すように、レジスト膜409をマスクとして、絶縁膜4をエッチングして、コンタクトホール5、5a、5bを形成する。その後、レジスト膜409を剥離して、図11 (b) の構造を得る。

【0071】次に、図11 (c) に示すように、絶縁膜4上に、PVD法により300～1000nmの膜厚のアルミニウム・チタニウム膜410を形成する。更に、図11 (d) に示すように、アルミニウム膜・チタニウム膜410上に、データ線、ソース、ドレインに相当する箇所が除去された形状のレジスト膜411を形成する。

【0072】次に、図12 (a) に示すように、レジスト膜411をマスクとしてアルミニウム・チタニウム膜410を塩素系ガスを用いてRIE法によりエッチング後、レジスト膜411を剥離する。これにより、図12 (b) に示すように、周辺回路領域では、Nチャネル型TFT及びPチャネル型TFTの半導体層のソース領域、ドレイン領域にそれぞれ電氣的に接続したソース電極106a、107a、ドレイン電極106b、107bを得る。表示領域においては、半導体層のソース領

16

域、ドレイン領域にそれぞれ電氣的に接続されたソース電極6aを兼ねるデータ線6、ドレイン電極6bを得る。

【0073】次に図12 (c) に示すように、ソース電極、ドレイン電極、データ線を覆って層間絶縁膜7をTEOSと酸素ガスとの混合ガスを原料ガスとしてPECVD法により形成する。ここで、層間絶縁膜7の成膜方法としては、常圧CVD法を用いてもよく、また、原料ガスとして、TEOSとオゾンガスの混合ガス、またはSiH<sub>4</sub>と酸素ガスの混合ガスを用いてもよい。また、無機膜だけでなく、アクリル系などの有機膜を用いることもでき、この場合、無機膜と比較して膜厚の厚い膜を得やすいため、平坦化膜としても用いることができる。

【0074】次に図12 (d) に示すように、層間絶縁膜7上に、ドレイン6bと後に形成する画素電極とを接続するコンタクトホールに対応した箇所のレジストが除去されたレジスト膜413を形成する。その後、図13 (a) に示すように、レジスト膜413をマスクとして層間絶縁膜7をRIE法またはウェットエッチング法などによりエッチングし、レジスト膜413を剥離して、図13 (b) に示すように、コンタクトホール8を有する層間絶縁膜7を得る。

【0075】次に、図13 (c) に示すように、層間絶縁膜7上に、スパッタ法により50～200nm程度の厚みのITO膜414を成膜する。その後、図14

(a) に示すように、ITO膜414上に画素電極形状に対応したレジスト膜415を形成し、これをマスクとしてITO膜414を、王水系またはHBrにてウェットエッチングするか、またはCH<sub>4</sub>またはHI等のガスを用いてRIE法によるドライエッチングをすることにより、図14 (b) に示すように、画素電極9aを得る。

【0076】上述のように、本実施形態においては、チタン層とアルミニウム・銅合金層の積層構造を有する配線を形成する際に、配線の下層に位置する酸化ケイ素膜の膜質を限定することにより、チタン膜の結晶構造を制御し、このチタン膜を下地とするアルミニウム・銅合金膜の結晶構造をヒロック発生を抑制するような結晶構造とすることができる。これにより、欠陥のない薄膜トランジスタを得ることができ、また走査線とデータ線との短絡を防止するため、表示欠陥のない、表示特性の良い液晶装置を得ることができる。

【図面の簡単な説明】

【図1】実施形態の電極基板の縦断面図を示す。

【図2】実施形態の電極基板の製造プロセスを順に追って示す工程図である。

【図3】実施形態の液晶装置における画像形成領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図4】実施形態の液晶装置の表示領域におけるデータ

(10)

17

線、走査線、画素電極、が形成されたTFTアレ基板の平面図である。

【図5】実施形態の液晶装置の周辺回路領域、表示領域それぞれにおける縦断面図を示し、表示領域における縦断面図は図4の線A-A'で切断したときの断面図である。

【図6】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その1)である。

【図7】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その2)である。

【図8】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その3)である。

【図9】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その4)である。

【図10】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その5)である。

【図11】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その6)である。

【図12】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その7)である。

【図13】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その8)である。

【図14】実施形態の液晶装置のTFTアレ基板の製造プロセスを順を追って示す工程図(その9)である。

【図15】酸化ケイ素膜の膜質の違いによるチタン膜の結晶状態の違いを示す図である。

18

【図16】酸化ケイ素膜の膜質の違いによるチタン膜及びアルミニウム・銅合金積層膜の結晶状態の違いを示す図である。

【図17】酸化ケイ素膜の膜質の違いによるチタン膜、アルミニウム・銅合金積層膜の表面粗さの違いを示す図である。

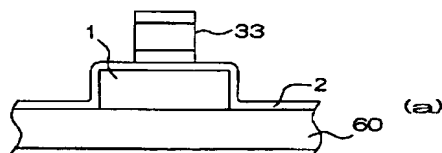
【図18】本発明を適用した配線膜の熱処理後の状態を示す図である。

【図19】チタン膜の膜厚の違いによる積層膜の表面状態の違いを示す図である。

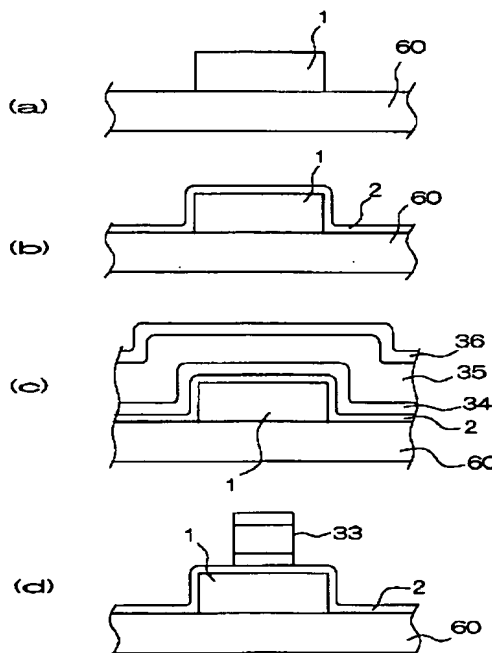
【符号の説明】

- 1…半導体層
- 2…ゲート絶縁膜
- 3…走査線
- 3a…ゲート電極
- 4…絶縁膜
- 6…データ線
- 6a…ソース電極
- 7…層間絶縁膜
- 9a…画素電極
- 33…配線
- 34…チタン膜
- 35…アルミニウム・銅合金膜
- 36…窒化チタン膜
- 60…基板

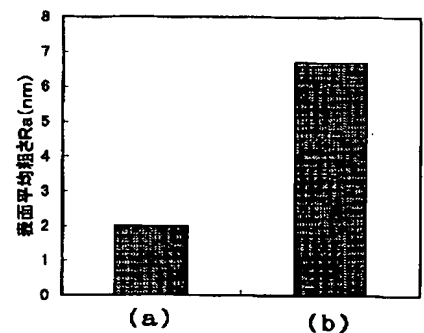
【図1】



【図2】



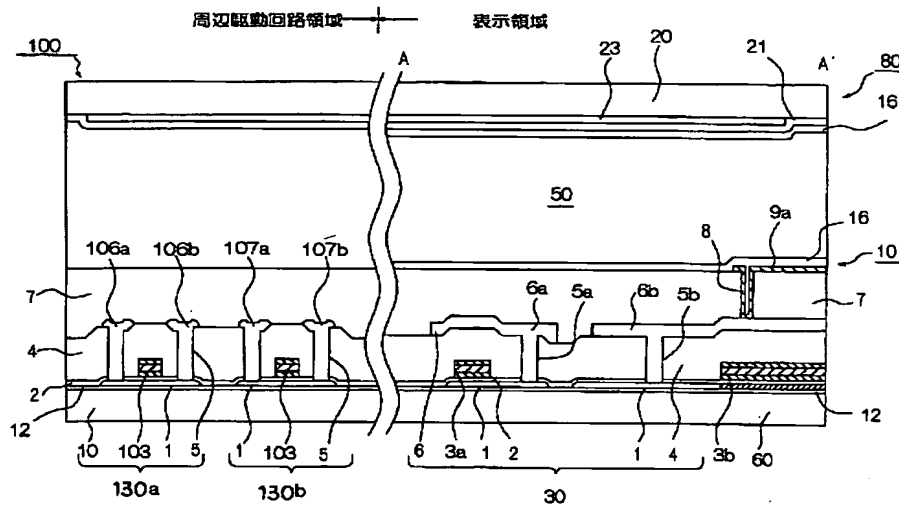
【図17】



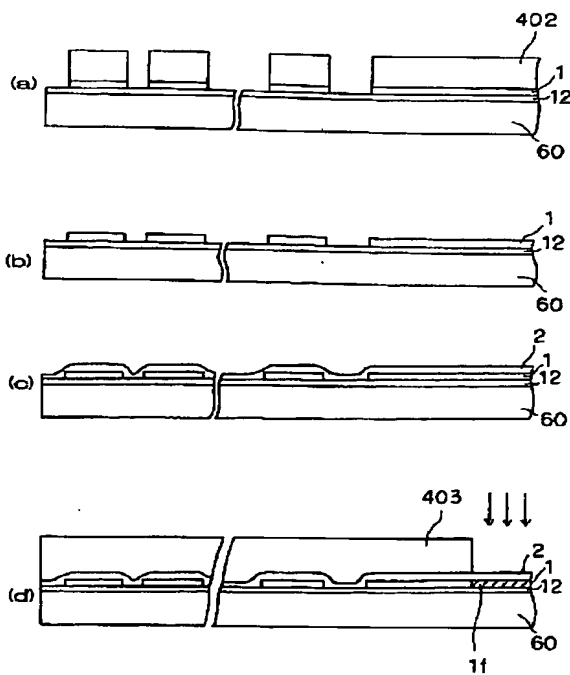


(12)

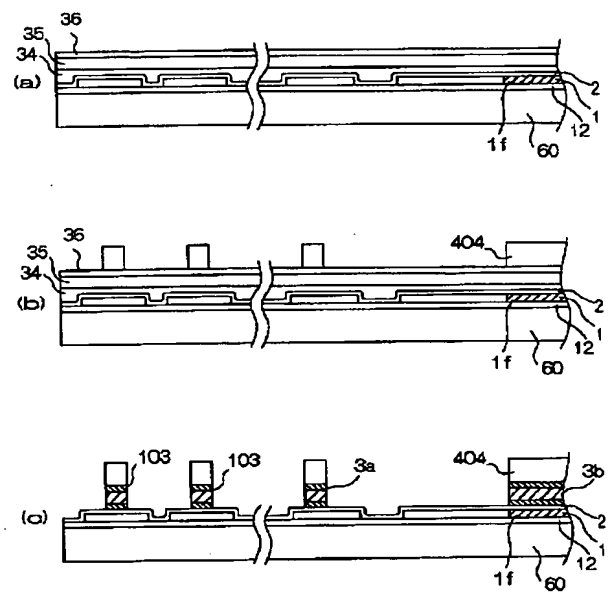
【図5】



【図7】

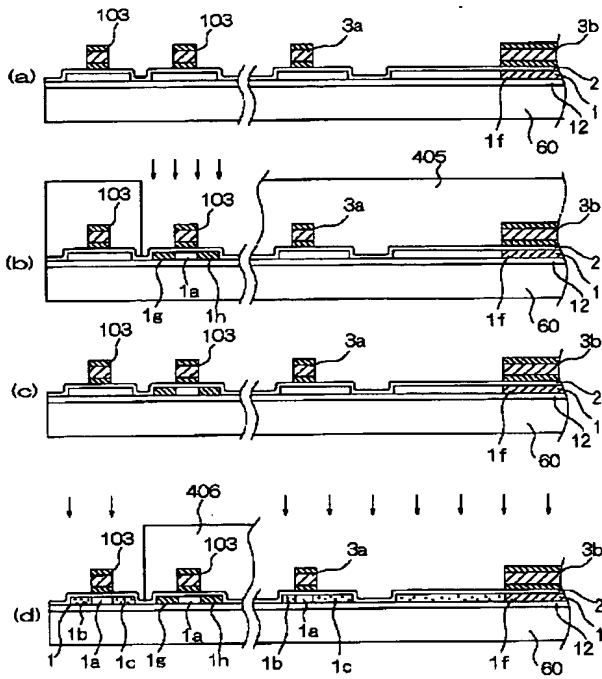


【図8】

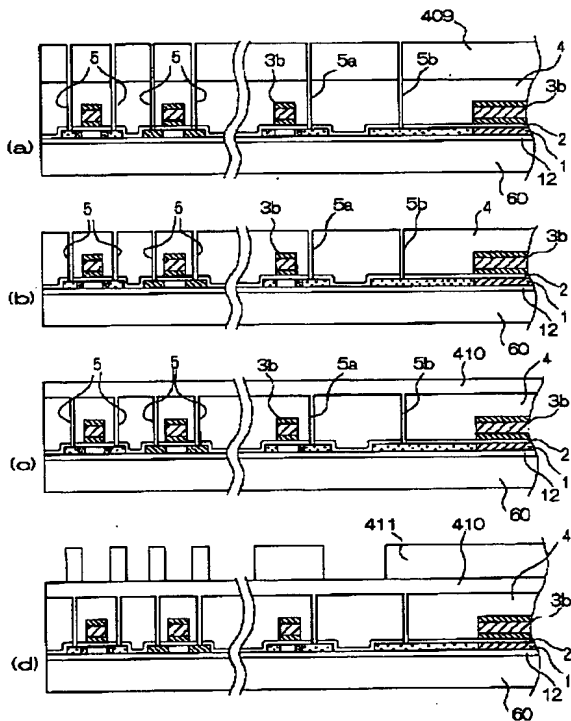


(13)

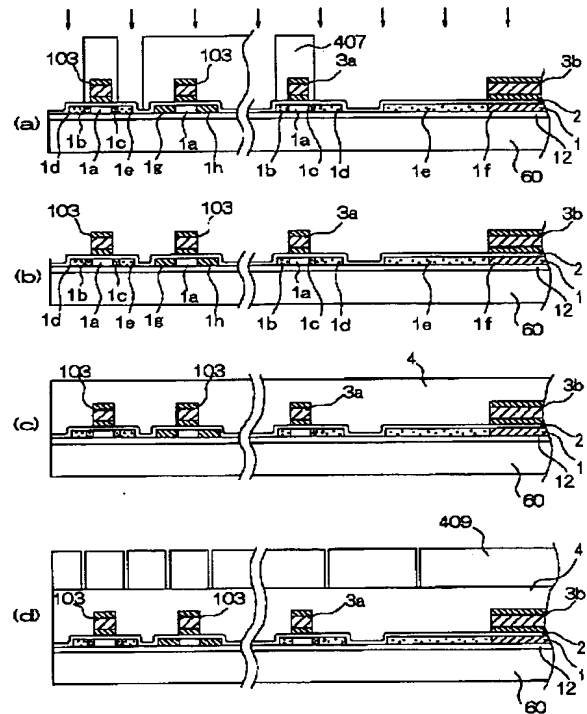
【図 9】



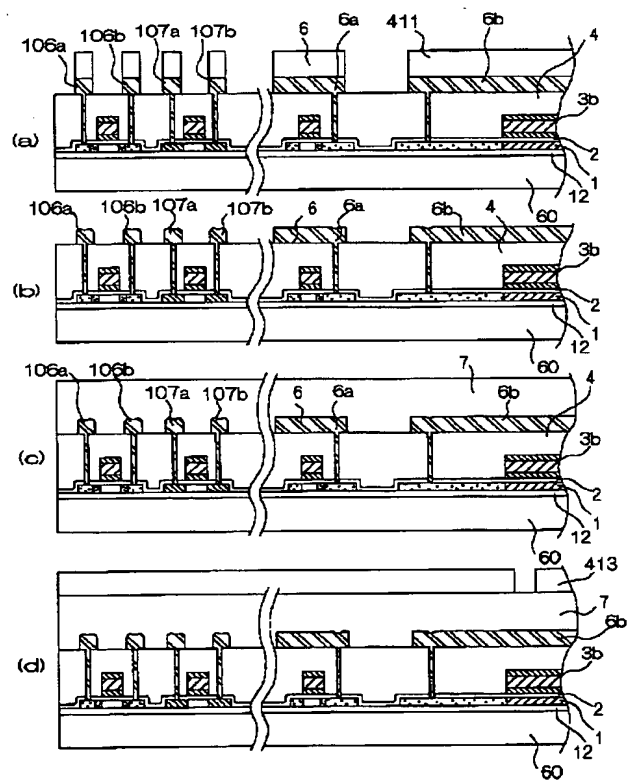
【図 11】



【図 10】

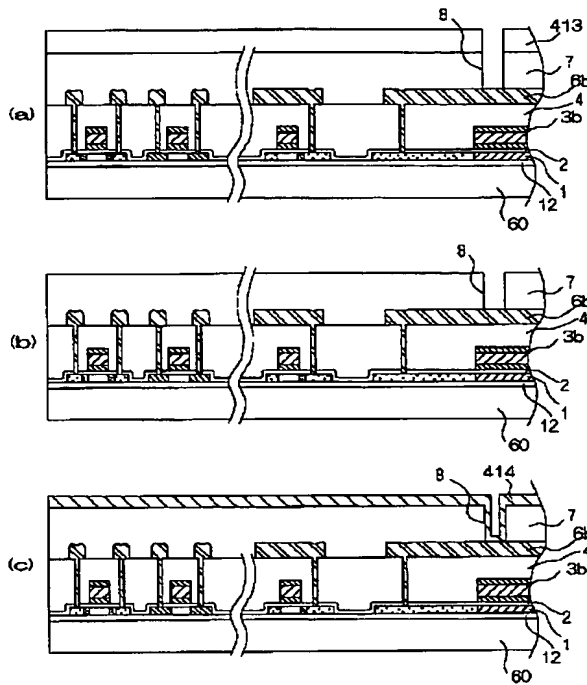


【図 12】

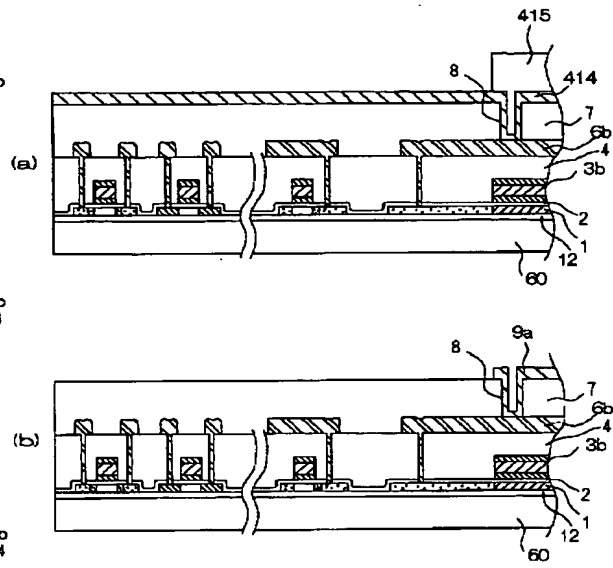


(14)

【図13】

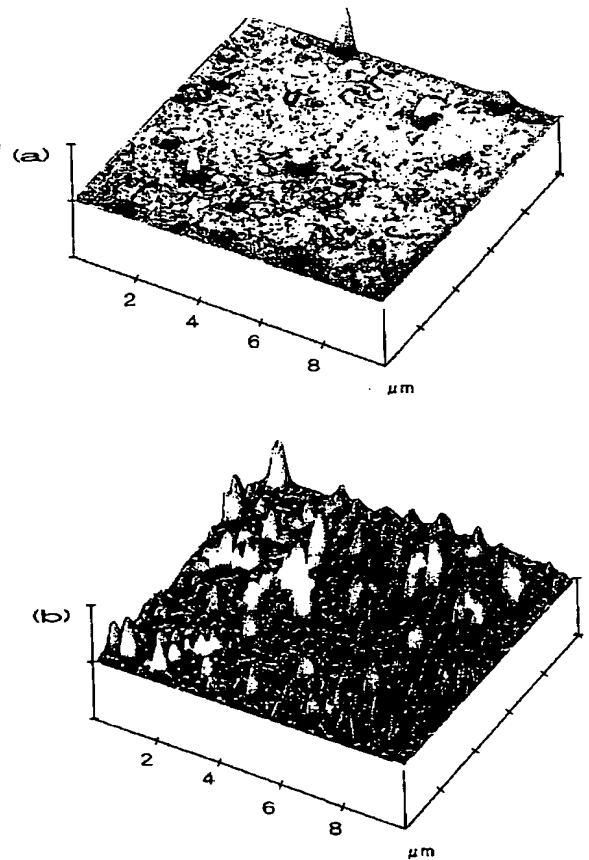
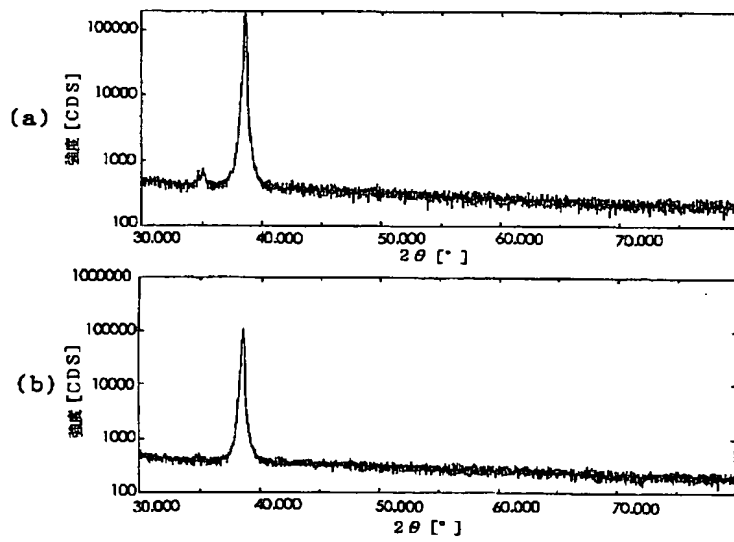


【図14】



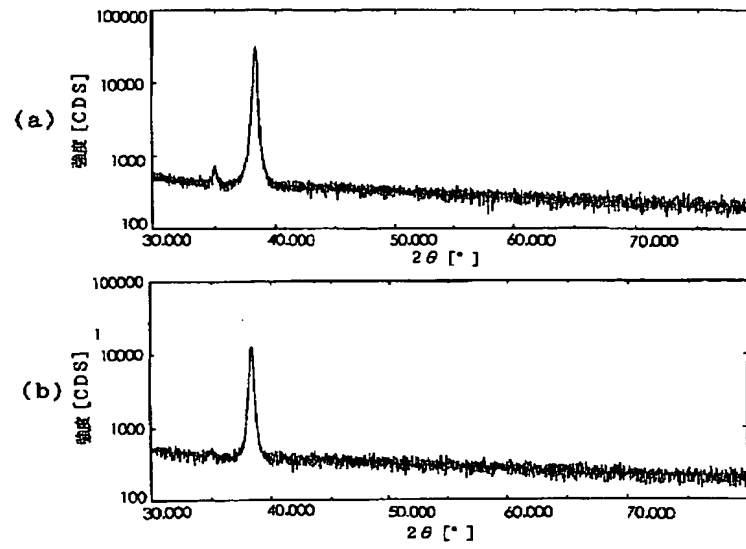
【図19】

【図15】



(15)

【図16】



【図18】



(16)

## フロントページの続き

F ターム (参考) 2H092 JA25 JA29 JA38 JA42 JA44  
JB13 JB23 JB32 JB33 JB38  
JB57 JB63 JB69 KA04 KA07  
KA16 KA18 MA05 MA08 MA14  
MA15 MA16 MA18 MA19 MA20  
MA27 MA28 MA35 MA37 MA41  
NA15 NA25 NA29 NA30 PA06  
5C094 AA23 AA31 AA42 AA43 BA03  
BA43 CA19 DA09 DA13 DA15  
DB01 DB04 EA04 EA05 EA10  
EB02 FA02 FB02 FB12 FB14  
FB15 GB10 JA08 JA20  
5F033 GG04 HH09 HH18 HH33 HH38  
JJ01 JJ08 JJ18 JJ38 KK04  
KK08 KK18 LL07 MM08 PP15  
PP16 QQ09 QQ37 RR04 SS04  
SS15 VV06 VV15 WW00 WW02  
XX01 XX16 XX31  
5F110 AA30 BB02 DD02 DD13 EE01  
EE03 EE04 EE06 EE15 EE44  
FF02 FF05 FF30 GG02 GG13  
GG25 HJ01 HJ04 HJ13 HJ23  
HL03 HL04 HL22 HL23 HL26  
HM15 NN23 NN72 PP03  
5G435 AA14 AA16 AA17 BB12 CC09  
HH12 HH13 HH14 KK05

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-135640

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

H01L 21/3205

G02F 1/1365

G09F 9/00

G09F 9/30

H01L 29/786

(21)Application number : 11-318799

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.11.1999

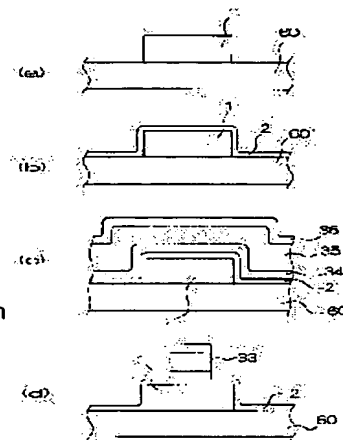
(72)Inventor : FUJIKAWA SHINSUKE

## (54) ELECTRODE SUBSTRATE, PHOTOELECTRIC DEVICE, METHOD FOR MANUFACTURING ELECTRODE SUBSTRATE, AND MANUFACTURING METHOD OF PHOTOELECTRIC DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an electrode substrate without any wiring defect and an photoelectric device without any display defect and with improved display characteristics in the method for manufacturing the electrode substrate with wiring having aluminum as a material and the photoelectric device.

**SOLUTION:** A semiconductor layer 1 is formed on a substrate 60, a gate insulation film 2 with an etching rate of 4 nm/sec or less by BHF is formed so that the semiconductor layer 1 can be covered, a titanium film 34, a film 35 containing aluminum, and a titanium nitride film 36 are successively formed on the gate insulation film 2. After that, a lamination film of the titanium film 34, the film 35 containing aluminum, and the titanium nitride film 36 is subjected to patterning to obtain wiring 33. In this manner, by limiting the film quality of the gate insulation film, the crystal orientation state of the titanium film is controlled, the flat aluminum film 35 with improved crystallizability being preferentially orientated on a crystal orientation (111) face can be formed, and wiring were the generation of hillock has been suppressed can be obtained.



### LEGAL STATUS

[Date of request for examination] 05.02.2001

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-08139

[Date of requesting appeal against examiner's decision of rejection] 08.05.2003

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The electrode substrate characterized by providing wiring which carried out the laminating of the layer which is arranged on a substrate and said substrate, is arranged on the silicon oxide film whose etching rate to a buffer fluoric acid solution is 4nm/second or less, and said silicon oxide film, and contains aluminum on a titanium layer.

[Claim 2] Said wiring is an electrode substrate according to claim 1 characterized by carrying out the laminating of the cubic system titanium nitride on the layer containing said aluminum.

[Claim 3] The electrode substrate according to claim 1 or 2 characterized by coming to arrange the 1st wiring which consists of said wiring, and the 2nd wiring which insulates with this 1st wiring and crosses on said substrate.

[Claim 4] An electrode substrate given in any 1 term of claim 1 to claim 3 characterized by providing the process which said silicon oxide film is formed on said substrate so that the semi-conductor layer and this semi-conductor layer used as a channel field may be covered, and forms the gate electrode which consists of said wiring and this layer in the location which faced said semi-conductor layer.

[Claim 5] The electrode substrate characterized by to provide the silicon-oxide film whose etching rate to the buffer fluoric-acid solution which covered the substrate, the semi-conductor layer used as the channel field arranged on said substrate, and said semi-conductor layer, and has been arranged is 4nm/second or less, and the gate electrode which carried out the laminating of the layer in which said semi-conductor layer is faced, it is arranged on said silicon-oxide film, and aluminum is included on a titanium layer.

[Claim 6] Said gate electrode is an electrode substrate according to claim 5 characterized by carrying out the laminating of the cubic system titanium nitride on the layer containing said aluminum.

[Claim 7] Said titanium layer is an electrode substrate given in any 1 term of claim 1 to claim 6 characterized by having thickness 40nm or more.

[Claim 8] Said silicon oxide film is an electrode substrate given in any 1 term of claim 1 to claim 7 characterized by coming to form membranes by the CVD method using tetraethyl orthochromatic silicate gas.

[Claim 9] The electro-optic device by which it is having-counter-electrode which countered electrode substrate and this electrode substrate given in any 1 term of claim 1 to claim 8, and has been arranged characterized.

[Claim 10] The manufacture approach of the electrode substrate characterized by providing the process which forms the silicon oxide film whose etching rate to a buffer fluoric acid solution is 4nm/second or less at a substrate top, the process which forms the titanium film on said silicon oxide film, and the process which forms the film containing aluminum on said titanium film, and forms a cascade screen.

[Claim 11] The manufacture approach of the electrode substrate according to claim 10 characterized by providing the process which forms the film containing titanium and forms a cascade screen on the film containing said aluminum.

[Claim 12] The manufacture approach of the electrode substrate according to claim 10 or 11 characterized by providing the process which carries out patterning of said cascade screen to a

predetermined configuration, and forms the 1st wiring, and the process which insulates with said 1st wiring, crosses and forms the 2nd wiring.

[Claim 13] The manufacture approach of an electrode substrate given in any 1 term of claim 10 to claim 12 characterized by providing the process which the semi-conductor layer and this semi-conductor layer used as a channel field are covered on said substrate, and said silicon oxide film is formed, and forms a gate electrode in the location which carries out patterning of said cascade screen, and faces said semi-conductor layer.

[Claim 14] Said titanium film is the manufacture approach of an electrode substrate given in any 1 term of claim 10 to claim 13 characterized by having thickness 40nm or more.

[Claim 15] Said silicon oxide film is the manufacture approach of an electrode substrate given in any 1 term of claim 10 to claim 14 characterized by coming to form membranes by the CVD method using tetraethyl orthochromatic silicate gas.

[Claim 16] It is the manufacture approach of the electro-optic device characterized by being the manufacture approach of an electro-optic device of having the counterelectrode which counters an electrode substrate and this electrode substrate and is arranged, and said electrode substrate being manufactured by any 1 term of claim 10 to claim 15 by the manufacture approach of a publication.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to an electrode substrate and an electro-optic device, and when it provides wiring which has the laminated structure of titanium and aluminum especially, it belongs to the electrode substrate and electro-optic device with which generating of a hillock was controlled.

[0002]

[Description of the Prior Art] Generally, in the case of the liquid crystal equipment of the active-matrix mold which has a thin film transistor (henceforth TFT) as a switching element, electrooptic material, such as a liquid crystal layer, pinches between a TFT array substrate and an opposite substrate, and is constituted between.

[0003] This TFT array substrate consists of pixel electrodes electrically connected to the thin film transistor and thin film transistor which are electrically connected to the scanning line and the data line which have been arranged for every intersection of two or more scanning lines arranged by intersecting each other on a substrate and two or more data lines, the scanning line, and the data line. On a semi-conductor layer, through gate dielectric film, the gate electrode which are the scanning line and this layer and was connected electrically is arranged, and a thin film transistor is constituted. And the source electrode and drain electrode which consist of the data line and this layer through an insulator layer

were formed on it, and the data line and a source electrode are connected electrically.

[0004] By the way, when using liquid crystal equipment for a device like a personal digital assistant, the request of wanting to mitigate the power consumption as much as possible is strong in recent years. The reduction in resistance of the scanning line which is wiring is effective in reduction of the power consumption of the TFT array substrate which constitutes liquid crystal equipment. Then, it changes to ingredients used conventionally, such as chromium and a tantalum, and using the aluminum of low resistance attracts attention. Since aluminum needs to care about the property top thermal resistance and chemical resistance, considering as wiring of the laminated structure which has arranged the titanium layer in the lower layer of aluminum, and has arranged the titanium nitride layer in the upper layer is performed.

[0005] The TFT array substrate which has wiring which consists of a laminated structure of the above titanium, aluminum, and titanium nitride is formed through the following formation processes.

[0006] First, the semi-conductor layer used as the channel field which consists of polysilicon is formed on a glass substrate, and the gate dielectric film which consists of SiO<sub>2</sub> film (silicon oxide film) is formed. Next, on gate dielectric film, the laminating of the titanium film, the aluminum film, and the titanium nitride film is carried out to the whole surface one by one, and a cascade screen is formed. The scanning line which has a gate electrode is formed in the location which faces a channel field by carrying out patterning of this cascade screen to a predetermined configuration. Then, an insulator layer is formed on gate dielectric film so that the scanning line and a gate electrode may be covered, and a source electrode, a drain electrode, and the data line are formed on this insulator layer.

[0007]

[Problem(s) to be Solved by the Invention] However, in the TFT array substrate formed of the above-mentioned process, even if it carried out the laminating of the titanium nitride layer on the aluminum layer, there was a problem that the projection called a hillock arose. If this hillock occurs, the data line and the scanning line which a hillock breaks through a wrap insulator layer and are formed on an insulator layer in it may short-circuit the scanning line. When the short circuit occurred, arbitration could not be displayed, but the line defect of the direction of a line of the scanning line and each data line arose, and the pixel electrode electrically connected to this scanning line and data line that were short-circuited had the problem of reducing the display grace of liquid crystal equipment remarkably.

[0008] The technique [ like / next ] is indicated by JP,10-135462,A about the above hillocks. That is, when the water absorbed by the insulator layer arranged at the lower layer of wiring \*\*\*, it is a technique of making the film for checking desorption of water intervene between wiring and an insulator layer paying attention to a hillock increasing. However, with this technique, although buildup of a hillock can be prevented, the fundamental problem itself called generating of a hillock is unsolvable.

[0009] This invention is made in view of the trouble mentioned above, and when using wiring which has a titanium layer and a layer containing aluminum, generating of a hillock is controlled, and it aims at offering the electrode substrate and electro-optic device of high quality without a poor short circuit.

[0010]

[Means for Solving the Problem] As a lower layer of wiring with which the laminating of the layer containing aluminum was carried out on the titanium layer, this invention is found out and made [ that wiring which controls generating of the good hillock of surface smoothness can be formed, and ] by the artificer by using the silicon oxide film of membraneous quality with which the etching rate to a buffer fluorine acid solution (BHF) was limited.

[0011] That is, it is arranged on a substrate and said substrate and the electrode substrate of this invention is a buffer fluorine acid solution (BHF 50% fluorine acid: 40% ammonium fluoride =1:6 room temperature.). As long as it is unstated especially henceforth, a buffer fluorine acid solution is used on this condition. The receiving etching rate is arranged on the silicon oxide film which is 4nm/second or less, and said silicon oxide film, and is characterized by providing wiring which carried out the laminating of the layer which contains aluminum on a titanium layer.

[0012] By using the silicon oxide film which has specific membrane quality according to such a configuration, the layer containing the aluminum which carried out precedence orientation to the crystal orientation (111) side can be obtained, and it is flat and has the effectiveness of obtaining good wiring of membrane quality with which hillock generating was controlled. This is for according to the crystal structure of a titanium layer becoming that precedence orientation is carried out to a crystal orientation (002) side, and it is easy to be formed in it, when the wet etching rate to a buffer fluoric acid solution forms still more preferably 4nm /or less of titanium layers a second by making the silicon oxide film of membrane quality 3nm [ /second ] or less into a substrate. The layer containing aluminum has little generating of a hillock, when it has the crystal structure which is carrying out precedence orientation to the single crystal orientation (111) side. Since the crystal orientation (111) side of the layer containing this aluminum has the crystal orientation (002) side of a titanium layer, and the good consistency of a spacing, the layer containing the aluminum which carried out single precedence orientation to the crystal orientation (111) side can be obtained by forming the layer containing aluminum on the titanium layer which carried out precedence orientation to the crystal orientation (002) side. As a layer containing aluminum, there is an aluminum alloy called the alloy of an aluminum simple substance, for example, aluminum, and copper.

[0013] Furthermore, said wiring is characterized by carrying out the laminating of the layer containing titanium on the layer containing said aluminum. According to such a configuration, while protecting the layer which contains aluminum by the layer containing titanium, it has the effectiveness that generating of a hillock can be controlled further. When using titanium nitride, it is desirable to make the crystal system into cubic system, although hillock depressor effect is acquired.

[0014] Furthermore, on said substrate, it is characterized by coming to arrange the 1st wiring which consists of said wiring, and the 2nd wiring which insulates with this 1st wiring and crosses. According to such a configuration, since hillock generating of the 1st wiring is controlled, the short circuit of the 1st wiring and the 2nd wiring by the hillock is prevented, and it has the effectiveness of obtaining an electrode substrate without a short circuit defect.

[0015] Furthermore, it is characterized by providing the process which said silicon oxide film is formed on said substrate so that the semi-conductor layer and this semi-conductor layer used as a channel field may be covered, and forms the gate electrode which consists of said wiring and this layer in the location which faced said semi-conductor layer. According to such a configuration, it has the effectiveness of obtaining the electrode substrate which can obtain the gate electrode with which hillock generating was controlled like above-mentioned wiring at the time of formation of the gate electrode of the switching element which has a semi-conductor layer, has a switching element with a sufficient switching characteristic, and has wiring with still more sufficient membrane quality.

[0016] Moreover, the semi-conductor layer from which the electrode substrate of this invention serves as a channel field arranged on a substrate and said substrate, The silicon oxide film whose etching rate to the buffer fluoric acid solution which covered said semi-conductor layer and has been arranged is 3nm/second or less preferably [ second ] 4nm /or less, On said silicon oxide film, said semi-conductor layer is faced, and it is arranged, and is characterized by providing the gate electrode which carried out the laminating of the layer which contains aluminum on a titanium layer. Since the gate electrode with which it was flat with the electrode at the time of formation of the gate electrode of the switching element which has a semi-conductor layer, and hillock generating was controlled at it can be obtained according to such a configuration, it has the effectiveness of obtaining the electrode substrate which has a switching element with a sufficient switching characteristic.

[0017] Furthermore, said gate electrode is characterized by carrying out the laminating of the layer containing titanium on the layer containing said aluminum. According to such a configuration, it has the effectiveness that generating of a hillock can be controlled further.

[0018] Furthermore, the electrode substrate mentioned above is characterized by said titanium layer having thickness 40nm or more. Since a crystalline good flat titanium layer can be obtained as a

substrate layer of the layer which contains aluminum by considering as thickness 40nm or more according to such a configuration, also when the laminating of the layer containing aluminum is carried out, a flat front face can be obtained and it has the effectiveness of obtaining wiring or the gate electrode of uniform membraneous quality in a substrate side. Here, when the resistivity is taken into consideration, as for the thickness of a titanium layer, it is desirable to be referred to as 100nm or less. [0019] It is having-counter-electrode which countered electrode substrate and this electrode substrate given in \*\*\*\*, and has been arranged characterized by the electro-optic device of this invention. According to such a configuration, power consumption is reduced and it has the effectiveness of obtaining an electro-optic device with a sufficient display property without display dispersion in which big-screen-izing and highly-minute-izing are possible.

[0020] The manufacture approach of the electrode substrate of this invention is characterized by providing the process which forms on a substrate the silicon oxide film whose etching rate to a buffer fluoric acid solution is 3nm/second or less preferably [ second ] 4nm /or less, the process which forms the titanium film on said silicon oxide film, and the process which forms the film containing aluminum and forms a cascade screen on said titanium film.

[0021] By using the silicon oxide film which has specific membraneous quality according to such a configuration, the film containing the aluminum which carried out single precedence orientation to the crystal orientation (111) side can be obtained, it is flat and the film containing the good aluminum of the membraneous quality by which hillock generating was controlled can be obtained. And it has the effectiveness of obtaining good wiring of membraneous quality, and the gate electrode of a switching element, by carrying out patterning of the film which has the cascade screen of such titanium film and the film containing aluminum to a predetermined configuration. This will be considered to be because for the crystal structure of the titanium film to become that precedence orientation is carried out to a crystal orientation (002) side, and it is easy to be formed in it if the etching rate to a buffer fluoric acid solution forms still more preferably 4nm /or less of titanium film a second by making the silicon oxide film of membraneous quality 3nm [/second ] or less into a substrate. The film containing aluminum has little generating of a hillock, when it has the crystal structure which is carrying out single precedence orientation to the crystal orientation (111) side. Since the crystal orientation (111) side of the film containing this aluminum has the crystal orientation (002) side of the titanium film, and the good consistency of a spacing, By forming the film containing aluminum on the titanium film which carried out precedence orientation to the crystal orientation (002) side, the film containing the aluminum which carried out single precedence orientation to the crystal orientation (111) side can be obtained. Moreover, as film containing aluminum, there is an aluminum alloy called the alloy of an aluminum simple substance, for example, aluminum, and copper.

[0022] Furthermore, it is characterized by providing the process which forms the film containing titanium and forms a cascade screen on the film containing said aluminum. According to such a configuration, while protecting the layer containing aluminum, it has the effectiveness that generating of a hillock can be controlled further.

[0023] Furthermore, it is characterized by providing the process which carries out patterning of said cascade screen to a predetermined configuration, and forms the 1st wiring, and the process which insulates with said 1st wiring, crosses and forms the 2nd wiring. According to such a configuration, since hillock generating of the 1st wiring is controlled, the short circuit of the 1st wiring and the 2nd wiring by the hillock is prevented, and it has the effectiveness of obtaining an electrode substrate without a short circuit defect.

[0024] Furthermore, on said substrate, the semi-conductor layer and this semi-conductor layer used as a channel field are covered, said silicon oxide film is formed, and the process which forms a gate electrode in the location which carries out patterning of said cascade screen, and faces said semi-conductor layer is provided. According to such a configuration, it is flat, and the gate electrode with which hillock generating was controlled can be obtained at the time of formation of the gate electrode of

the switching element which has a semi-conductor layer, and it has at it the effectiveness of obtaining a switching element with a sufficient switching characteristic.

[0025] Furthermore, said titanium film is characterized by having thickness 40nm or more. Since the crystalline good flat titanium film can be obtained as substrate film of the true film which contains aluminum by considering as thickness 40nm or more according to such a configuration, also when the laminating of the film containing aluminum is carried out, a flat front face can be obtained and it has the effectiveness of obtaining wiring or the gate electrode of uniform membrane quality in a substrate side. Here, when the resistivity is taken into consideration, as for the thickness of the titanium film, it is desirable to be referred to as 100nm or less.

[0026] It is the manufacture approach of an electro-optic device of having the counterelectrode which the manufacture approach counters the electro-optic device of this invention at an electrode substrate and this electrode substrate, and is arranged, and is characterized by manufacturing said electrode substrate by the above-mentioned manufacture approach. According to such a configuration, power consumption is reduced and it has the effectiveness of obtaining an electro-optic device with a sufficient display property without display dispersion in which big-screen-izing and highly-minute-izing are possible.

[0027]

[Embodiment of the Invention] (The manufacture approach of an electrode substrate) The semi-conductor substrate which has a semi-conductor layer as an electrode substrate is mentioned as an example, and is explained to the gestalt of operation of this invention using drawing 1 and 2 about wiring formed especially in a semi-conductor substrate. Drawing 1 shows the partial schematic diagram of a semi-conductor substrate, and drawing 2 is drawing for explaining the manufacture approach.

[0028] As shown in drawing 1, the polish recon layer 1 is arranged on the substrate 60 which consists of glass etc., and, as for the semi-conductor substrate, the gate dielectric film 2 which consists of silicon oxide film so that this may be covered is arranged. Furthermore, wiring 33 is arranged in the location corresponding to a part of polish recon layer 1. Wiring 33 serves as a titanium layer, aluminum and a copper alloy layer, and a titanium nitride layer from under three-tiered structure kana \*\*. By being referred to as 40nm or more, the thickness of a titanium layer had crystallinity and good surface smoothness, could raise the stacking tendency of the aluminum and the copper alloy layer which forms membranes upwards, and could be 50nm here. The thickness of aluminum and a copper alloy layer set to 100-1000nm, and could be 400nm here. By being referred to as 50-150nm, and being referred to as 50nm or more, the titanium nitride layer could control hillock generating and set it to 100nm here. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, contraction scales are made to have differed for each class or every each part material in each drawing.

[0029] Next, the manufacture approach of a semi-conductor substrate is explained using drawing 2.

[0030] it is shown in drawing 2 (a) -- as -- PECVD -- the a-Si film is formed by the thickness of about 30-100nm with low or LP (low pressure) CVD method, after crystallizing by irradiating excimer laser light at this, patterning is carried out to a predetermined configuration and the polish recon layer 1 is obtained.

[0031] next, it is shown in drawing 2 (b) -- as -- PECVD -- 50-120nm thickness and the gate dielectric film 2 which consists of silicon oxide film of 75nm thickness here are formed all over a substrate by making TEOS (tetraethyl orthochromatic silicate) into material gas by low (plasma enhanced chemicalvapor deposition). The etching rate [ as opposed to a buffer fluoric acid solution in this gate dielectric film 2 ] was 3.5nm/second. The substrate was washed after gate-dielectric-film 2 formation using the penetrant remover which cannot corrode silicon oxide film, such as an alkali system penetrant remover, easily. Here, as for silicon oxide film corrosion \*\*\*\*, such as rare hydrogen fluoride, as a penetrant remover, it is desirable to use penetrant removers, such as an alkali system and a sulfuric-acid system, without using. Next, as shown in drawing 2 (c), the laminating of the titanium film 34,

aluminum and the copper alloy film 35, and the titanium nitride film 36 is carried out one by one by the sputtering method, and membranes are formed. A detail is made to carry in to a reaction chamber first the substrate with which a semi-conductor layer and gate dielectric film were formed, and the titanium film 34 of 50nm thickness is formed in it. The substrate with which the titanium film 34 was formed is made to carry in in another reaction chamber after titanium film formation, and aluminum and the copper alloy film 35 are formed by 400nm thickness on the titanium film 34. A substrate is made to carry in a substrate in another reaction chamber from a reaction chamber after aluminum and copper alloy film membrane formation. The mixed gas of an argon and nitrogen is introduced in a reaction chamber, and the titanium nitride film 36 of 100nm thickness is formed using titanium TAGETTO. Next, as shown in drawing 2 (d), patterning of the titanium film 34, and aluminum and the copper alloy film 35 and the titanium nitride film 36 is carried out simultaneously, and wiring 33 is obtained so that it may become a predetermined configuration.

[0032] What evaluated the crystal stacking tendency of the titanium film at this time is shown in drawing 15 (a). The titanium single film is formed and the sample of drawing 15 (a) has estimated, in order to eliminate other signal components of a cascade screen. The etching rate to the buffer fluoric acid solution of the silicon oxide film used as the substrate film of titanium is about 3.5nm/second. What the etching rate to a buffer fluoric acid solution formed the titanium single film similarly, and estimated the crystal stacking tendency as on the about 9nm [ /second ] silicon oxide film on the other hand is drawing 15 (b). Both are compared, and the signal strength of the sample of drawing 15 (a) shows one twice [ more than ] the value of drawing 15 (b) so that clearly. That is, if the etching rate to a buffer fluoric acid solution forms the titanium film on the small silicon oxide film, it means that the crystallinity of titanium improves.

[0033] It is drawing 16 (a) and (b) which furthermore formed aluminum and the copper alloy film on the titanium film, and evaluated the crystal stacking tendency. Drawing 16 (a) is about 3.5nm/second, and drawing 16 (b) of the etching rate to the buffer fluoric acid solution of the silicon oxide film used as the substrate film is about 9nm/second. Both are compared, and the signal strength of the sample of drawing 15 R> 5 (a) shows one about 1.5 times the value of drawing 15 (b) so that clearly. That is, if the etching rate to a buffer fluoric acid solution forms the titanium film, and aluminum and the copper alloy film on the small silicon oxide film in a laminating, it means that not only titanium but the crystallinity of aluminum and the copper alloy film improves.

[0034] Moreover, precedence orientation of the crystal structure of the aluminum and the copper alloy film 35 after membrane formation is carried out to the crystal orientation (111) side, and the crystal orientation (200) side was not detected. Here, crystallinity is measured using an X diffraction measurement machine (device name RINIT-1400).

[0035] The wiring 33 formed through such a production process is the film with the crystallinity which the crystal structure of aluminum carried out precedence orientation to the crystal orientation (111) side, and was excellent in it as mentioned above. And good surface smoothness could be obtained at this time, the short circuit of wiring 33 and wiring (not shown) formed through an insulator layer (not shown) on this wiring 33 was prevented beforehand, and the reliable semi-conductor substrate has been manufactured.

[0036] Drawing 17 evaluates the surface average of roughness height for the sample which carried out laminating membrane formation of aluminum and the copper alloy film by AFM on the titanium film. Drawing 17 (a) is about 3.5nm/second, and drawing 16 (b) of the etching rate to the buffer fluoric acid solution of the silicon oxide film used as the substrate film is about 9nm/second. These mean that the good film of surface smoothness can be formed, if the etching rate to a buffer fluoric acid solution forms the titanium film, and aluminum and the copper alloy film on the small silicon oxide film in a laminating.

[0037] Moreover, even if the semi-conductor substrate formed through such a production process passed through the high-temperature-processing process 400 degrees C or more at the after process, it was able to control generating of the hillock of wiring.

[0038] Drawing 18 is the photograph in which the 450-degree-C condition of having heat-treated of 3 hours was shown for the sample to which the etching rate to a buffer fluoric acid solution carried out the laminating of the titanium film, aluminum and the copper alloy film, and the titanium nitride film on the about 3.5nm [/second ] silicon oxide film. Also after heat-treating, it turns out that good surface smoothness is held.

[0039] Drawing 19 shows the surface state of the cascade screen to which the etching rate by BHF carried out the laminating of the 3.5nm [/second ] silicon oxide film, the titanium film, aluminum and the copper alloy film, and the titanium nitride film one by one on the glass substrate. Thickness of the titanium film is set to 400nm in drawing 19 (a), and thickness of the titanium film is set to 200nm in drawing 19 (b). As shown in drawing, by thickening thickness of the titanium film used as the lower layer of the aluminium alloy film shows that the surface roughness of a cascade screen becomes small.

[0040] Although aluminum and a copper alloy were used as film containing aluminum in the above-mentioned operation gestalt and the experimental result, the aluminum alloy which consists of an alloy with other metals other than an aluminum simple substance and copper is sufficient.

[0041] (The manufacture approach of an electro-optic device) In this operation gestalt, liquid crystal equipment is mentioned as the example as an electro-optic device using a switching element, and what carried out patterning of the cascade screen of the titanium film of the operation gestalt of an above-mentioned electrode substrate, aluminum and the copper alloy film, and the titanium nitride film, and formed it in the layer which consists of the gate electrode of a thin film transistor, the scanning line as wiring, and this and this layer is used, using a thin film transistor as a switching element.

[0042] In this operation gestalt, it explains with reference to drawing 5 from drawing 3 below.

[0043] Drawing 3 is equal circuits, such as various components in two or more pixels formed in the shape of [ which constitutes the image formation field of liquid crystal equipment ] a matrix, and wiring. Drawing 4 is the top view of two or more pixel groups which can be set to the viewing area of the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed. Drawing 5 shows drawing of longitudinal section of the viewing area of liquid crystal equipment, and a circumference actuation circuit field, and drawing of longitudinal section of a pixel field is a sectional view of A-A' of drawing 4 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, contraction scales are made to have differed for each class or every each part material in each drawing.

[0044] In drawing 3 , liquid crystal equipment consists of a viewing area and a circumference actuation circuit field which controls this.

[0045] A viewing area consists of pixel electrode 9a arranged in the shape of a matrix for every intersection of capacity line 3b and the scanning line 3 which have been arranged at parallel, the data line 6 arranged by intersecting the scanning line 3, and the these scanning lines 3 and the data line 6, and a thin film transistor (TFT is called hereafter) 30 for controlling pixel electrode 9a. The source of TFT30 was electrically connected to the data line 6 to which a picture signal is supplied, and the gate of TFT30 has connected with the scanning line 3 to which a scan signal is supplied electrically. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from the data line 6 in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later).

[0046] On the other hand, a circumference actuation circuit field consists of the scanning-line actuation circuit 104, the data-line actuation circuit 101, a sampling circuit 301, and a precharge circuit 201. The scanning-line actuation circuit 104 impresses the scan signals G1, G2, --, Gm to the scanning line 3 by line sequential in pulse to predetermined timing based on the power source supplied from an external-control circuit, a reference clock CLY, its reversal clock, etc. Based on the power source supplied from an external-control circuit, a reference clock CLX, its reversal clock, etc., according to the timing which

impresses the scan signals G1, G2, --, Gm, the transfer signals X1, X2, --, Xn from the shift register as a sampling circuit driving signal are minded every data line 6, and the scanning-line actuation circuit 104 minds [ 301 ] the sampling circuit actuation signal line 306, and supplies the data-line actuation circuit 101 to predetermined timing. As a switching element, it has TFT202 every data line 6, the precharge signal line 204 is connected to the drain or source electrode of TFT202, and, as for the precharge circuit 201, the precharge circuit actuation signal line 206 is connected to the gate electrode of TFT202. And the power source of a predetermined electrical potential difference required at the time of actuation, in order to write in the precharge signal NRS from an external power through the precharge signal line 204 is supplied, and the precharge circuit driving signal NRG is supplied from an external-control circuit so that the precharge signal NRS may be written in through the precharge circuit actuation signal line 206 to the timing preceded with supply of picture signals S1, S2, --, Sn about each data line 6. The precharge circuit 201 supplies the precharge signal NRS (image auxiliary signal) which is preferably equivalent to the picture signals S1, S2, --, Sn of medium gradation level. The sampling circuit 301 is equipped with TFT302 every data line 6, the picture signal line 304 is connected to the source electrode of TFT302, and the sampling circuit actuation signal line 306 is connected to the gate electrode of TFT302. And these will be sampled if picture signals S1, S2, --, Sn are inputted through the picture signal line 304. That is, if the transfer signals X1, X2, --, Xn as a sampling circuit driving signal are inputted from the data-line actuation circuit 101 through the sampling circuit actuation signal line 306, sequential impression of the picture signals S1, S2, --, Sn from picture signal line 304 each will be carried out at data-line 6a.

[0047] In addition, in this operation gestalt, although it is possible to form at the same process on the same substrate as TFT used for a circumference actuation circuit and TFT30 in a viewing area since polish recon is used as a semi-conductor layer of TFT30 in a viewing area, it is also possible to form a part of circumference actuation circuit in another substrate, and to carry out external [ of this ].

[0048] In drawing 4 , on the TFT array substrate of liquid crystal equipment, two or more transparent pixel electrode 9a is prepared in the shape of a matrix, and the data line 6, the scanning line 3 (dotted line), and capacity line 3b (dotted line) are prepared respectively along the boundary of pixel electrode 9a in every direction. the data line 6 be form in the configuration extended to the lengthwise direction , source 6a which be a part of data line 6 be electrically connect to the below-mentioned source field among the semi-conductor layers 1 (the lower left be the slash section of \*\* ) which consist of polish recon film through contact hole 5a , and it be near source 6a , and the data line 6 be form so that the width of face may become large . Drain 6b formed in the data line 6 and this layer is connected electrically among the semi-conductor layers 1 to the below-mentioned drain field through contact hole 5b, and electrical installation of the drain 6b is further carried out to pixel electrode 9a through the contact hole 8. Moreover, the scanning line 3 is arranged so that a channel field may be countered among the semi-conductor layers 1, the scanning line 3 functions as a gate electrode, and in this operation gestalt, the part where the semi-conductor layer 1 and the scanning lines 3 overlap is two places, and has double-gate structure. In addition, on the drawing, the part with which the scanning line 3 and the semi-conductor layer 1 lap superficially, i.e., the semi-conductor layer of the location corresponding to a gate electrode, hides, and it is not illustrated by the scanning line. Capacity line 3b has the lobe which projected along with the data line 6 from the part which intersects elongation and the data line 6 in the shape of a straight line mostly along with the scanning line 3, and a part of semi-conductor layer is arranged almost corresponding to this lobe. Capacity line 3b forms capacity in the part and flat-surface target of pixel electrode 9a in overlap and this field, and forms pixel electrode 9a and capacity further. It is installed in the bottom of the data line 6 and the scanning line 3, opposite arrangement is carried out through an insulator layer 2 at the capacity line 3b part similarly extended along with the data line 6 and the scanning line 3, and the semi-conductor layer 1 forms capacity.

[0049] Next, as shown in the sectional view of drawing 5 , liquid crystal equipment 100 is equipped with the liquid crystal layer 50 between the TFT array substrate 10 and the opposite substrate 80 by which

opposite arrangement is carried out at this.

[0050] The semi-conductor layer 1 which the TFT array substrate 10 becomes from the substrate film 12 which consists of silicon oxide on a glass substrate 60 in a viewing area, and polish recon is arranged. On the semi-conductor layer 1, the gate dielectric film 2 with which the etching rate by BHF consists of 4nm [/second ] or less silicon oxide film is arranged. On gate dielectric film 2, gate electrode 3a which is a part of scanning line 3 (not shown) of the layer system by which the laminating was carried out to the titanium layer, aluminum and a copper alloy layer, and the titanium nitride layer from the bottom, respectively, and scanning line, and capacity line 3b are arranged. And the insulator layer 4 is arranged so that the scanning line 3, gate electrode 3a, and capacity line 3b may be covered. On the insulator layer 4, source 6a which is a part of data line 6 and data line 6 formed in this layer, and drain 6b are arranged. Source 6a is connected to the source field and the electric target of the semi-conductor layer 1 which explain by the after-mentioned by contact hole 5a formed in gate dielectric film 2 and an insulator layer 4, and drain 6b is connected to the drain field and the electric target of the semi-conductor layer 1 which explain by the after-mentioned by contact hole 5b formed in the insulator layer 4. Furthermore, the data line 6, source 6a, and drain 6b were covered, the interlayer insulation film 7 has been arranged, and drain 6b is electrically connected with pixel electrode 9a which consists of ITO (Indium Tin Oxide) film arranged on an interlayer insulation film 7 by the contact hole 8 formed in the interlayer insulation film 7. Finally, a pixel electrode is covered and the orientation film 16 which consists of polyimide is arranged. Here, the semi-conductor layer 1 of TFT in a viewing area has LDD (lightly doped drain) structure, and, for details, mentions it later.

[0051] Moreover, complementary transistor structure is adopted in the circumference actuation circuit field of the TFT array substrate 10. As shown in drawing 5 , the gate dielectric film 2 which is gate dielectric film is arranged so that it may have N channel mold TFT130a and P channel mold TFT130b, the semi-conductor layer 1 of an N channel mold and the semi-conductor layer 1 of a P channel mold may be arranged on the substrate layer 12 arranged on a glass substrate 60 and complementary transistor structure may cover these. The gate electrode 103 is arranged in the location which corresponds to the channel field of a semi-conductor layer on gate dielectric film 2. Furthermore, the source electrodes 106a and 107a which the gate electrode 103 was covered, and the insulator layer 4 has been arranged, and have been arranged on an insulator layer 4, and the drain electrodes 106b and 107b are electrically connected to the source field or drain field of the corresponding semi-conductor layer 1, respectively. And the interlayer insulation film 7 is arranged on TFT of these complementary-types transistor structure. Moreover, the semi-conductor layer of N channel TFT has LDD structure.

[0052] On the other hand, the opposite substrate 80 consists of a counterelectrode 21 which consists of a light-shielding film 23 formed in the shape of a matrix on the glass substrate 20, and ITO film by which covered this and sequential formation was carried out, and orientation film 16 which consists of polyimide.

[0053] Next, the manufacture approach of a TFT array substrate is explained using drawing 6 - drawing 14 . Drawing 6 - drawing 14 are the cross sections in a viewing area and a circumference circuit field, and a viewing area is a cross section when cutting by line A-A' of drawing 4 .

[0054] First, as shown in drawing 6 (a), SiO<sub>2</sub> film is formed by the thickness of about 200-500nm as substrate film 12 with PE (plasma enhanced) CVD method or an ECR (electron cyclotron resonance) CVD method on a glass substrate 60. This substrate film has the function in which the impurity contained in dirt and the glass substrate of glass substrate 60 front face prevents causing degradation of the property of TFT30.

[0055] next, it is shown in drawing 6 (b) -- as -- PECVD -- the laminating of the a-Si film 401a is carried out by the thickness of about 30-100nm on the substrate film with law or LP (low pressure) CVD method.

[0056] Next, as shown in drawing 6 (c), by irradiating excimer laser light, such as KrF or XeCl, two times 300 to 600 mJ/cm at the a-Si film, the a-Si film is crystallized and p-Si film 401b is obtained. The

thickness of the a-Si film, membraneous quality, etc. adjust suitably the exposure reinforcement of excimer laser light, irradiation time, etc. In this operation gestalt, since it is low temperature and a polish recon layer can be obtained by laser annealing, the glass substrate cheaper than a silicon substrate as a substrate is employable.

[0057] Next, as shown in drawing 6 (d), the resist film 402 is formed in the configuration equivalent to each semi-conductor layer of TFT of a viewing area and a circumference actuation circuit field.

[0058] Next, as shown in drawing 7 (a), p-Si film 401b is etched by RIE (reactive ion etching) by using the resist film 402 as a mask using chlorine-based gas, and the p-Si layer 1 is formed. In addition, the wet etching using a drug solution, such as using and etching hydrofluoric and nitric acid in addition to dry etching like RIE, can also be used.

[0059] next, as shown in drawing 7 (b), the resist film 402 is shown in drawing 7 (c) after exfoliating -- as -- PECVD -- 50-120nm thickness and the gate dielectric film 2 which consists of silicon oxide film of 75nm thickness here are formed all over a substrate by making TEOS (tetraethyl orthochromatic silicate) into material gas by law. The etching rate [ as opposed to BHF in this gate dielectric film 2 ] was about 3.5nm/second.

[0060] Next, as shown in drawing 7 (d), the resist film 403 of a configuration from which the part corresponding to the field which functions as a capacity among the semi-conductor layers 1 of a viewing area was removed is formed. And this resist film 403 is used as a mask, with ion-implantation,  $5 \times 10^{14}$ – $10^{16}$  phosphorus ion /is injected into the semi-conductor layer 1 with the dose of 2 cm as an impurity, and 1f of capacity electrodes is formed. The resist film 403 is exfoliated after impregnation.

[0061] It washed using the penetrant remover which cannot corrode the silicon oxide film easily. Here, as a penetrant remover, without using, as for silicon oxide film corrosion \*\*\*\*, such as rare hydrogen fluoride, it is desirable to use penetrant removers, such as a low alkali system of corrosion nature and a sulfuric-acid system, and they can maintain the stacking tendency of the titanium film which forms membranes behind by this.

[0062] Next, as shown in drawing 8 (a), on gate dielectric film 2, the laminating of the titanium film 34, aluminum and the copper alloy film 35, and the titanium nitride film 36 is carried out one by one by the sputtering method, and membranes are formed.

[0063] Next, as shown in drawing 8 (b), the scanning line, a gate electrode, and the resist film 404 of the configuration equivalent to a capacity line are formed. By making this into a mask, as shown in drawing 8 (c), the titanium film 34, aluminum and the copper alloy film 35, and the titanium nitride film 36 are etched by the RIE method using a fluorine system or chlorine-based gas. As it exfoliates and the resist film 404 is shown in drawing 9 (a) after etching, a lower layer obtains [ a titanium layer and the upper layer ] the scanning line 3 of the three-tiered structure by which the laminating of the titanium nitride layer was carried out to the laminated structure which consists of aluminum and a copper alloy layer, the gate electrodes 3a and 103, and capacity line 3b.

[0064] Next, as shown in drawing 9 (b), the resist film 405 from which the resist was removed only for the location corresponding to the semi-conductor layer used as TFT of the P channel mold of a bonnet and a circumference circuit field in all viewing areas is formed. Then,  $5 \times 10^{14}$ – $10^{16}$  boron ion /of 2 is poured into the semi-conductor film 1 with ion-implantation cm by using the gate electrode 103 corresponding to TFT of the resist film 405 and a P channel mold as a mask, and the semi-conductor layer 1 which has channel field 1a which carried out self align to the gate electrode 103, and the source drain fields 1g and 1h is obtained.

[0065] Next, as shown in drawing 9 (c), the resist film 405 is exfoliated by the (exfoliation liquid name).

[0066] Then, as shown in drawing 9 (d), the resist film 406 is formed in the location corresponding to the semi-conductor layer used as the P channel mold TFT of a circumference circuit field. Next,  $1 \times 10^{13}$  to  $2 \times 10^{14}$  phosphorus ion /of 2 is injected into the semi-conductor layer 1 with ion-implantation cm by using this resist film 406, gate electrode 3a and the gate electrode 103 corresponding to the N channel mold TFT, and capacity line 3b as a mask. This obtains the semi-conductor layer 1 corresponding to the

N channel mold TFT which has low concentration source field 1b with high impurity concentration lower than channel field 1a which carried out self align to the gate electrode 103, the high concentration source field formed in behind, and a high concentration drain field, and low concentration drain field 1c in a circumference circuit field. Moreover, in a viewing area, the semi-conductor 1 which has low concentration source field 1b with high impurity concentration lower than the high concentration source field and high concentration drain field which it is formed so that it may face across two channel field 1a (only one of the two illustrates) and this two channel field, and are formed behind, and low concentration drain field 1c is obtained.

[0067] Next, the resist film 406 is exfoliated with exfoliation liquid. Then, as shown in drawing 10 (a), the resist film 407 is formed. As shown in drawing, the resist film 407 has [ the gate electrode 103 of the N channel mold TFT of a circumference actuation circuit field, and each periphery of gate electrode 3a in a viewing area ] the wrap configuration for the semi-conductor layer of a bonnet and the P channel mold TFT. Next,  $5 \times 10^{14}$ – $10^{16}$  phosphorus ion /is injected into the semi-conductor layer 1 with ion-implantation with the dose of 2 cm by using the resist film 407 as a mask. Then, the resist film 407 is exfoliated. Thereby, as shown in drawing 10 (b), the semi-conductor layer which has 1d of high concentration source fields and high concentration drain field 1e which have high impurity concentration higher than low concentration source field 1b and low concentration drain field 1c can be obtained. Therefore, TFT in a viewing area and the N channel mold TFT of a circumference actuation circuit field serve as a semi-conductor layer which has LDD structure.

[0068] next, it is shown in drawing 10 (c) -- as -- the gate electrodes 103 and 3a and capacity line 3b -- a wrap -- like -- PECVD -- the insulator layer 4 which consists of  $\text{SiO}_2$  [ with a thickness of 1500nm ] is formed by law, using TEOS and ozone gas as material gas. Then, in order to activate impurity ion, activation heat-treatment (activation annealing treatment) is performed on 400-degree C temperature conditions.

[0069] next, it is shown in drawing 10 (d) -- as -- every of a circumference circuit field -- the resist film 409 by which patterning was carried out to the configuration equivalent to the contact hole for connecting the contact hole for connecting the contact hole for connecting the source drain field of TFT and the source drain formed in behind and the source field of TFT of a viewing area, and the source formed in behind, the drain field of TFT of a viewing area, and the drain formed in behind is formed.

[0070] As shown in drawing 11 (a), an insulator layer 4 is etched by using the resist film 409 as a mask, and contact holes 5, 5a, and 5b are formed. Then, the resist film 409 is exfoliated and the structure of drawing 11 (b) is acquired.

[0071] Next, as shown in drawing 11 (c), the aluminum titanium film 410 of 300–1000nm thickness is formed by PVD on an insulator layer 4. Furthermore, as shown in drawing 11 (d), the data line, the source, and the resist film 411 of a configuration from which the part equivalent to a drain was removed are formed on the aluminum film and the titanium film 410.

[0072] Next, as shown in drawing 12 (a), the resist film 411 is exfoliated after etching by the RIE method using chlorine-based gas in the aluminum titanium film 410 by using the resist film 411 as a mask. This obtains the source electrodes 106a and 107a and the drain electrodes 106b and 107b which were electrically connected to the source field of the semi-conductor layer of the N channel mold TFT and the P channel mold TFT, and the drain field, respectively in a circumference circuit field, as shown in drawing 12 (b). In a viewing area, the data line 6 and drain electrode 6b which serve as source electrode 6a electrically connected to the source field of a semi-conductor layer and the drain field, respectively are obtained.

[0073] Next, as shown in drawing 12 (c), a source electrode, a drain electrode, and the data line are covered, and the mixed gas of TEOS and oxygen gas is formed for an interlayer insulation film 7 by the PECVD method as material gas. Here, as the membrane formation approach of an interlayer insulation film 7, an ordinary pressure CVD method may be used and the mixed gas of TEOS and ozone gas or the mixed gas of  $\text{SiH}_4$  and oxygen gas may be used as material gas. Moreover, since not only the inorganic

film but organic film, such as acrylic, can also be used and it is easy to obtain the thick film of thickness in this case as compared with the inorganic film, it can use also as flattening film.

[0074] Next, as shown in drawing 12 (d), the resist film 413 from which the resist of the part corresponding to the contact hole which connects drain 6b and the pixel electrode formed in behind was removed is formed on an interlayer insulation film 7. Then, as are shown in drawing 13 (a), and an interlayer insulation film 7 is etched by the RIE method or the wet etching method by using the resist film 413 as a mask, it exfoliates and the resist film 413 is shown in drawing 13 (b), the interlayer insulation film 7 which has a contact hole 8 is obtained.

[0075] Next, as shown in drawing 13 (c), the ITO film 414 with a thickness of about 50–200nm is formed by the spatter on an interlayer insulation film 7. Then, by forming the resist film 415 corresponding to a pixel electrode configuration on the ITO film 414, and carrying out wet etching of the ITO film 414 in an aqua-regia system or HBr by making this into a mask, or carrying out dry etching by the RIE method using gas, such as CH<sub>4</sub> or HI, as shown in drawing 14 (a), as shown in drawing 14 (b), pixel electrode 9a is obtained.

[0076] As mentioned above, in this operation gestalt, in case wiring which has the laminated structure of a titanium layer, and an aluminum and a copper alloy layer is formed, by limiting the membraneous quality of the silicon oxide film located in the lower layer of wiring, the crystal structure of the titanium film can be controlled and the crystal structure of the aluminum and the copper alloy film which makes this titanium film a substrate can be made into a crystal structure which controls hillock generating. Since a thin film transistor without a defect can be obtained by this and the short circuit of the scanning line and the data line is prevented, liquid crystal equipment with a sufficient display property without a display defect can be obtained.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing of longitudinal section of the electrode substrate of an operation gestalt is shown.

[Drawing 2] It is process drawing showing the manufacture process of the electrode substrate of an operation gestalt later on in order.

[Drawing 3] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image formation field in the liquid crystal equipment of an operation gestalt, such as various components and wiring.

[Drawing 4] It is the top view of the data line in the viewing area of the liquid crystal equipment of an operation gestalt, the scanning line, and the TFT array substrate with which pixel electrode \*\* was formed.

[Drawing 5] Drawing of longitudinal section in the circumference circuit field of the liquid crystal equipment of an operation gestalt and each viewing area is shown, and drawing of longitudinal section in

a viewing area is a sectional view when cutting by line A-A' of drawing 4 .

[Drawing 6] It is process drawing (the 1) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 7] It is process drawing (the 2) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 8] It is process drawing (the 3) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 9] It is process drawing (the 4) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 10] It is process drawing (the 5) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 11] It is process drawing (the 6) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 12] It is process drawing (the 7) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 13] It is process drawing (the 8) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 14] It is process drawing (the 9) showing order for the manufacture process of the TFT array substrate of the liquid crystal equipment of an operation gestalt later on.

[Drawing 15] It is drawing showing the difference in the crystallized state of the titanium film by the difference in the membrane quality of the silicon oxide film.

[Drawing 16] It is drawing showing the difference in the crystallized state of the titanium film by the difference in the membrane quality of the silicon oxide film, and an aluminum and a copper alloy cascade screen.

[Drawing 17] It is drawing showing the difference in the surface roughness of the titanium film by the difference in the membrane quality of the silicon oxide film, and an aluminum and a copper alloy cascade screen.

[Drawing 18] It is drawing showing the condition after heat treatment of the wiring film which applied this invention.

[Drawing 19] It is drawing showing the difference in the surface state of the cascade screen by the difference in the thickness of the titanium film.

[Description of Notations]

- 1 -- Semi-conductor layer
- 2 -- Gate dielectric film
- 3 -- Scanning line
- 3a -- Gate electrode
- 4 -- Insulator layer
- 6 -- Data line
- 6a -- Source electrode
- 7 -- Interlayer insulation film
- 9a -- Pixel electrode
- 33 -- Wiring
- 34 -- Titanium film
- 35 -- Aluminum and copper alloy film
- 36 -- Titanium nitride film
- 60 -- Substrate

---

[Translation done.]